



D12_x 硬件指南

Version 2.0

修订日期：2025-08-07

版权声明

本文档是匠芯创科技（“ArtInChip”）的原创作品，匠芯创科技拥有该文档的全部版权。全部或部分复制必须获得匠芯创科技的书面批准，并向版权所有人明确确认。凡侵犯本公司版权等知识产权的，本公司将保留依法追究其法律责任的权利。

在法律允许的范围内，在此声明：使用前请仔细阅读合同条款和条件以及相关说明，并严格遵守本文档中的说明。匠芯创科技不对不当行为的后果（包括但不限于电压过高、超频或温度过高）承担任何责任。

匠芯创科技提供的信息仅作为参考或典型应用，本文档中的所有声明、信息和建议不构成任何明示或暗示的担保。匠芯创科技保留随时更改电路设计和/或规格的权利，恕不另行通知。

客户应全权负责获得实施解决方案/产品可能需要的第三方许可，匠芯创科技不承担任何与第三方许可相关的许可费或特许权使用费。对于任何要求的第三方许可证所涵盖的事项，匠芯创科技不承担任何保证、赔偿或其它义务。

凡以任何方式直接或间接使用本文档资料者，视为自愿接受本文档声明的约束。

修订记录

下表记录了 2025-08-01 (V2.0) 至今的所有修订历史：

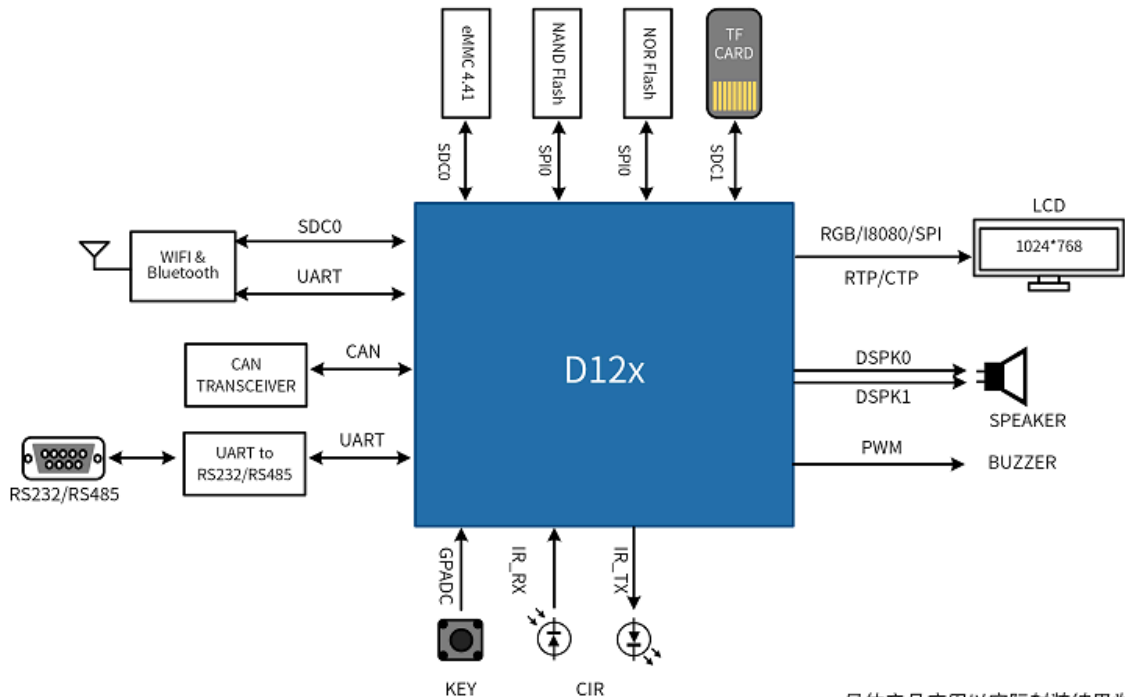
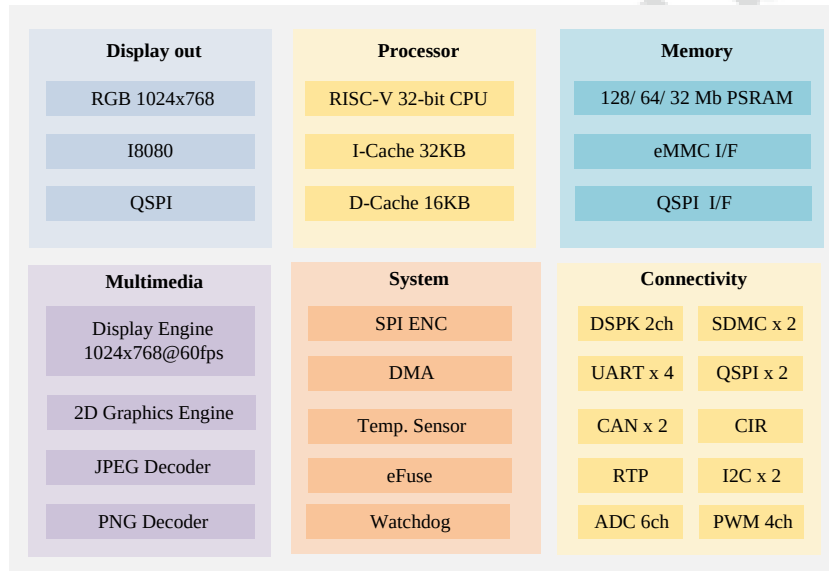
版本	章节	修订说明
V2.0	-	修改了章节格式。
	时钟和电源	• 新增电源相关说明。 • 修改了电源系统方案中关于电流的描述。 • 删除了 SYSTEM 描述。 • 新增BOOT和RESET章节。
	存储	• 更新了整节的注意说明。 • 新增关于 BROM 启动的注意事项。 • 删除 PSRAM 章节。
	多媒体	• RGB 屏接口 ◦ 新增了关于 LCD 接口支持特性的说明。 ◦ 更新了配置 0 的描述。 ◦ 在注意事项中，新增关于初始化 RGB 屏幕的描述。 • RGB 屏接口：新增注释说明，并添加了关于不支持 0x3C 命令 SPI 屏幕的特殊使用说明。 • 在 TP 中新增了不使用 RTP 触摸功能时 PA8-PA11 引脚可作为普通 ADC 功能使用的说明。
	布线设计	• 电源：新增了滤波电容、主控 EPAD 和单个电源引脚相关的说明。 • 删除了旁路和去耦。 • 在电源 和 高速信号中删除了不适用的内容。
	设计自查	• 更新了下列设计自查表： ◦ POWER 设计 Checklist ◦ 串行通信接口设计 Checklist ◦ 特殊 GPIO 设计 Checklist • 新增了EMC 防护设计 Checklist。

内容

版权声明.....	ii
修订记录.....	iii
1. 简介.....	5
2. 原理图设计.....	6
2.1. 引脚复用.....	6
2.1.1. 功能复用.....	6
2.1.2. QFN68 封装引脚说明.....	8
2.1.3. D121 QFN68 封装功能复用表.....	8
2.1.4. D123 QFN68 封装功能复用表.....	11
2.2. 时钟和电源.....	13
2.2.1. 电源系统方案.....	13
2.2.2. POWER.....	14
2.2.3. PLL.....	14
2.2.4. BOOT.....	15
2.2.5. RESET.....	15
2.3. 存储.....	16
2.3.1. FLASH.....	16
2.3.2. eMMC.....	17
2.3.3. CARD.....	17
2.4. 多媒体.....	18
2.4.1. AUDIO.....	19
2.4.2. MCU 屏接口.....	19
2.4.3. RGB 屏接口.....	21
2.4.4. PWM.....	24
2.4.5. TP.....	26
2.5. 通用接口.....	26
2.5.1. CAN.....	26
2.5.2. CIR.....	27
2.5.3. I2C.....	27
2.5.4. SDIO.....	28
2.5.5. SPI.....	29
2.5.6. UART.....	29
3. 布线设计.....	32
3.1. 电源.....	32
3.2. 布局.....	32
3.3. DCDC 电路.....	32
3.4. 高速信号.....	32
3.5. 屏蔽.....	33
3.6. 隔离.....	33
3.7. 信号回流路径.....	33
4. 设计自查.....	34
4.1. POWER 设计 Checklist.....	34
4.2. 显示接口设计 Checklist.....	34
4.3. Speaker 设计 Checklist.....	34
4.4. 串行通信接口设计 Checklist.....	35
4.5. 特殊 GPIO 设计 Checklist.....	35
4.6. EMC 防护设计 Checklist.....	35

1. 简介

D12x 是一款基于 RISC-V 的高性能、国产自主、工业级高清显示与智能控制 MCU，配备强大的 2D 图形加速处理器、PNG/JPEG 解码引擎、丰富的接口，支持工业宽温，具有高可靠性、高开放性，可广泛应用于工业自动化控制、串口屏等智慧工业和智慧家居领域。



具体产品应用以实际封装结果为准

2. 原理图设计

2.1. 引脚复用

2.1.1. 功能复用

表 2-1 功能复用表

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
PA0	GPADC0	IR_TX	I2C0_SCL	UART0_TX	–	CPU_NMI
PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX	–	DE_TE
PA2	GPADC2	CAN1_TX	I2C1_SCL	UART1_TX	–	UART2_CTS
PA3	GPADC3	CAN1_RX	I2C1_SDA	UART1_RX	–	UART2_RTS
PA4	GPADC4	–	CAN0_TX	UART2_TX	–	–
PA5	GPADC5	–	CAN0_RX	UART2_RX	–	–
PA8	RTP_XP	–	I2C0_SCL	–	–	–
PA9	RTP_YP	–	I2C0_SDA	–	–	–
PA10	RTP_XN	IR_RX	–	–	–	JTAG_MS
PA11	RTP_YN	IR_TX	–	–	–	JTAG_CK
PB0	SPI0_WP	SPI1_WP	–	UART0_TX	–	–
PB1	SPI0_MISO	SPI1_MISO	–	UART2_TX	–	–
PB2	SPI0_CS0	SPI1_CS	–	UART2_RX	–	–
PB3	SPI0_HOLD	SPI1_HOLD	–	UART0_RX	–	–
PB4	SPI0_CLK	SPI1_CLK	–	UART2_RTS	–	–
PB5	SPI0_MOSI	SPI1_MOSI	–	UART0_RTS	UART2_CTS	–
PB6	SDC0_CMD	SPI1_CS	–	UART1_TX	–	–
PB7	SDC0_CLK	SPI1_MISO	–	UART1_RX	–	–
PB8	SDC0_D3	SPI1_MOSI	–	UART1_RTS	UART3_CTS	–
PB9	SDC0_D0	SPI1_CLK	–	UART3_RTS	–	–
PB10	SDC0_D1	SPI1_HOLD	–	UART3_TX	–	–
PB11	SDC0_D2	SPI1_WP	–	UART3_RX	–	–

表 2-1 功能复用表 (续)

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
PC0	SDC1_D1	–	I2C0_SCL	UART3_RTS	–	JTAG_MS
PC1	SDC1_D0	–	–	–	–	–
PC2	SDC1_CLK	–	–	–	–	UART0_TX
PC3	SDC1_CMD	–	–	–	–	–
PC4	SDC1_D3	PWM0_A	I2C1_SCL	UART3_TX	–	UART0_RX
PC5	SDC1_D2	PWM0_B	I2C1_SDA	UART3_RX	–	JTAG_CK
PC6	SDC1_DET	PWM1_A	I2C0_SDA	UART3_CTS	DE_TE	IR_RX
PC7	–	PWM1_B	–	–	–	IR_TX
PD0	LCD_D0	CAN0_TX	I2C0_SCL	UART0_TX	–	–
PD1	LCD_D1	CAN0_RX	I2C0_SDA	UART0_RX	–	–
PD2	LCD_D2	CAN1_TX	I2C1_SCL	UART1_TX	–	–
PD3	LCD_D3	CAN1_RX	I2C1_SDA	UART1_RX	–	–
PD4	LCD_D4	–	I2C1_SCL	UART2_TX	–	–
PD5	LCD_D5	–	I2C1_SDA	UART2_RX	–	–
PD6	LCD_D6	–	PWM0_A	DSPK0	–	–
PD7	LCD_D7	–	PWM0_B	DSPK1	–	–
PD8	LCD_D8	–	PWM1_A	–	–	–
PD9	LCD_D9	–	–	–	–	–
PD10	LCD_D10	–	–	–	–	–
PD11	LCD_D11	–	–	–	–	–
PD12	LCD_D12	–	–	–	–	–
PD13	LCD_D13	–	–	–	–	–
PD14	LCD_D14	–	–	–	–	–
PD15	LCD_D15	–	–	–	–	–
PD16	LCD_D16	–	–	–	–	–
PD17	LCD_D17	–	–	–	–	–
PD18	LCD_D18	–	–	–	–	–
PD19	LCD_D19	–	–	–	–	–
PD20	LCD_D20	–	–	–	–	–

表 2-1 功能复用表 (续)

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
PD21	LCD_D21	-	-	-	-	-
PD22	LCD_D22	-	-	-	-	-
PD23	LCD_D23	-	-	-	-	-
PD24	LCD_DCLK	-	-	-	-	-
PD25	LCD_HS	-	-	-	PWM0_B	-
PD26	LCD_VS	-	-	-	PWM1_A	-
PD27	LCD_DE	-	-	-	PWM1_B	-
PE12	-	PWM1_B	-	DSPK1	-	-
PE13	-	PWM0_A	-	DSPK0	-	-

2.1.2. QFN68 封装引脚说明

表 2-2 QFN68 封装引脚说明

引脚	定义	类型	功能	备注说明
SYSTEM				
52	RESETN	INPUT	系统复位	内置约 30 K Ω 上拉电阻和去抖滤波, 不使用可直接悬空, 若外挂电容建议不超过 4.7 μ F。
POWER				
12, 29, 54	VCC33_IO	POWER	芯片 IO 电压	3.3 V 供电
55	LDO25	POWER	内置 LDO 输出	内部模拟模块使用, 外部接 1 μ F 旁路电容。
28	LDO18	POWER	内置 LDO 输出	供内部 PSRAM 使用, 若使用需做好芯片散热, 外部接 1 μ F 旁路电容。
27, 53	VDD11_SYS	POWER	芯片 Core 电压	1.1 V 供电, 若使用内置 LDO1x, 必须做好芯片散热, 53 引脚为 LDO1x 输出。
69	GND	POWER	-	GND 铜皮全连接, 需多加过孔散热。

2.1.3. D121 QFN68 封装功能复用表

表 2-3 D121 QFN68 封装功能复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
GPIO A							
56	PA0	GPADC0	IR_TX	I2C0_SCL	UART0_TX	-	CPU_NMI

表 2-3 D121 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
57	PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	DE_TE
58	PA2	GPADC2	-	I2C1_SCL	UART1_TX	-	-
59	PA3	GPADC3	-	I2C1_SDA	UART1_RX	-	-
60	PA4	GPADC4	-	-	UART2_TX	-	-
61	PA5	GPADC5	-	-	UART2_RX	-	-
62	PA8	RTP_XP	-	I2C0_SCL	-	-	-
63	PA9	RTP_YP	-	I2C0_SDA	-	-	-
64	PA10	RTP_XN	IR_RX	-	-	-	JTAG_MS
65	PA11	RTP_YN	IR_TX	-	-	-	JTAG_CK
GPIO B							
40	PB0	SPI0_WP	SPI1_WP	-	UART0_TX	-	-
41	PB1	SPI0_MISO	SPI1_MISO	-	UART2_TX	-	-
42	PB2	SPI0_CS0	SPI1_CS	-	UART2_RX	-	-
43	PB3	SPI0_HOLD	SPI1_HOLD	-	UART0_RX	-	-
44	PB4	SPI0_CLK	SPI1_CLK	-	UART2_RTS	-	-
45	PB5	SPI0_MOSI	SPI1_MOSI	-	UART0_RTS	UART2_CTS	-
46	PB6	SDC0_CMD	SPI1_CS	-	UART1_TX	-	-
47	PB7	SDC0_CLK	SPI1_MISO	-	UART1_RX	-	-
48	PB8	SDC0_D3	SPI1_MOSI	-	UART1_RTS	UART3_CTS	-
49	PB9	SDC0_D0	SPI1_CLK	-	UART3_RTS	-	-
50	PB10	SDC0_D1	SPI1_HOLD	-	UART3_TX	-	-
51	PB11	SDC0_D2	SPI1_WP	-	UART3_RX	-	-
GPIO C							
66	PC0	SDC1_D1	-	I2C0_SCL	UART3_RTS	-	JTAG_MS
67	PC1	SDC1_D0	-	-	-	-	-
68	PC2	SDC1_CLK	-	-	-	-	UART0_TX
1	PC3	SDC1_CMD	-	-	-	-	-
2	PC4	SDC1_D3	PWM0_A	I2C1_SCL	UART3_TX	-	UART0_RX
3	PC5	SDC1_D2	PWM0_B	I2C1_SDA	UART3_RX	-	JTAG_CK

表 2-3 D121 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
4	PC6	SDC1_DET	PWM1_A	I2C0_SDA	UART3_CTS	DE_TE	IR_RX
5	PC7	-	PWM1_B	-	-	-	IR_TX
GPIO D							
37	PD0	LCD_D0	-	I2C0_SCL	UART0_TX	-	-
36	PD1	LCD_D1	-	I2C0_SDA	UART0_RX	-	-
35	PD2	LCD_D2	-	I2C1_SCL	UART1_TX	-	-
34	PD3	LCD_D3	-	I2C1_SDA	UART1_RX	-	-
33	PD4	LCD_D4	-	I2C1_SCL	UART2_TX	-	-
32	PD5	LCD_D5	-	I2C1_SDA	UART2_RX	-	-
31	PD6	LCD_D6	-	PWM0_A	DSPK0	-	-
30	PD7	LCD_D7	-	PWM0_B	DSPK1	-	-
26	PD8	LCD_D8	-	PWM1_A	-	-	-
25	PD9	LCD_D9	-	-	-	-	-
24	PD10	LCD_D10	-	-	-	-	-
23	PD11	LCD_D11	-	-	-	-	-
22	PD12	LCD_D12	-	-	-	-	-
21	PD13	LCD_D13	-	-	-	-	-
20	PD14	LCD_D14	-	-	-	-	-
19	PD15	LCD_D15	-	-	-	-	-
18	PD16	LCD_D16	-	-	-	-	-
17	PD17	LCD_D17	-	-	-	-	-
16	PD18	LCD_D18	-	-	-	-	-
15	PD19	LCD_D19	-	-	-	-	-
14	PD20	LCD_D20	-	-	-	-	-
13	PD21	LCD_D21	-	-	-	-	-
11	PD22	LCD_D22	-	-	-	-	-
10	PD23	LCD_D23	-	-	-	-	-
9	PD24	LCD_DCLK	-	-	-	-	-
8	PD25	LCD_HS	-	-	-	PWM0_B	-

表 2-3 D121 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
7	PD26	LCD_VS	-	-	-	PWM1_A	-
6	PD27	LCD_DE	-	-	-	PWM1_B	-
GPIO E							
38	PE12	-	PWM1_B	-	DSPK1	-	-
39	PE13	-	PWM0_A	-	DSPK0	-	-

2.1.4. D123 QFN68 封装功能复用表

表 2-4 D123 QFN68 封装功能复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
GPIO A							
56	PA0	GPADC0	IR_TX	I2C0_SCL	UART0_TX	-	CPU_NMI
57	PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	DE_TE
58	PLL_XI	-	-	-	-	-	-
59	PLL_XO	-	-	-	-	-	-
60	PA4	GPADC4	-	CAN0_TX	UART2_TX	-	-
61	PA5	GPADC5	-	CAN0_RX	UART2_RX	-	-
62	PA8	RTP_XP	-	I2C0_SCL	-	-	-
63	PA9	RTP_YP	-	I2C0_SDA	-	-	-
64	PA10	RTP_XN	IR_RX	-	-	-	JTAG_MS
65	PA11	RTP_YN	IR_TX	-	-	-	JTAG_CK
GPIO B							
40	PB0	SPI0_WP	SPI1_WP	-	UART0_TX	-	-
41	PB1	SPI0_MISO	SPI1_MISO	-	UART2_TX	-	-
42	PB2	SPI0_CS0	SPI1_CS	-	UART2_RX	-	-
43	PB3	SPI0_HOLD	SPI1_HOLD	-	UART0_RX	-	-
44	PB4	SPI0_CLK	SPI1_CLK	-	UART2_RTS	-	-
45	PB5	SPI0_MOSI	SPI1_MOSI	-	UART0_RTS	UART2_CTS	-
46	PB6	SDC0_CMD	SPI1_CS	-	UART1_TX	-	-
47	PB7	SDC0_CLK	SPI1_MISO	-	UART1_RX	-	-

表 2-4 D123 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
48	PB8	SDC0_D3	SPI1_MOSI	-	UART1_RTS	UART3_CTS	-
49	PB9	SDC0_D0	SPI1_CLK	-	UART3_RTS	-	-
50	PB10	SDC0_D1	SPI1_HOLD	-	UART3_TX	-	-
51	PB11	SDC0_D2	SPI1_WP	-	UART3_RX	-	-
GPIO C							
66	PC0	SDC1_D1	-	I2C0_SCL	UART3_RTS	-	JTAG_MS
67	PC1	SDC1_D0	-	-	-	-	-
68	PC2	SDC1_CLK	-	-	-	-	UART0_TX
1	PC3	SDC1_CMD	-	-	-	-	-
2	PC4	SDC1_D3	PWM0_A	I2C1_SCL	UART3_TX	-	UART0_RX
3	PC5	SDC1_D2	PWM0_B	I2C1_SDA	UART3_RX	-	JTAG_CK
4	PC6	SDC1_DET	PWM1_A	I2C0_SDA	UART3_CTS	DE_TE	IR_RX
5	PC7	-	PWM1_B	-	-	-	IR_TX
GPIO D							
37	PD0	LCD_D0	CAN0_TX	I2C0_SCL	UART0_TX	-	-
36	PD1	LCD_D1	CAN0_RX	I2C0_SDA	UART0_RX	-	-
35	PD2	LCD_D2	CAN1_TX	I2C1_SCL	UART1_TX	-	-
34	PD3	LCD_D3	CAN1_RX	I2C1_SDA	UART1_RX	-	-
33	PD4	LCD_D4	-	I2C1_SCL	UART2_TX	-	-
32	PD5	LCD_D5	-	I2C1_SDA	UART2_RX	-	-
31	PD6	LCD_D6	-	PWM0_A	DSPK0	-	-
30	PD7	LCD_D7	-	PWM0_B	DSPK1	-	-
26	PD8	LCD_D8	-	PWM1_A	-	-	-
25	PD9	LCD_D9	-	-	-	-	-
24	PD10	LCD_D10	-	-	-	-	-
23	PD11	LCD_D11	-	-	-	-	-
22	PD12	LCD_D12	-	-	-	-	-
21	PD13	LCD_D13	-	-	-	-	-
20	PD14	LCD_D14	-	-	-	-	-

表 2-4 D123 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
19	PD15	LCD_D15	-	-	-	-	-
18	PD16	LCD_D16	-	-	-	-	-
17	PD17	LCD_D17	-	-	-	-	-
16	PD18	LCD_D18	-	-	-	-	-
15	PD19	LCD_D19	-	-	-	-	-
14	PD20	LCD_D20	-	-	-	-	-
13	PD21	LCD_D21	-	-	-	-	-
11	PD22	LCD_D22	-	-	-	-	-
10	PD23	LCD_D23	-	-	-	-	-
9	PD24	LCD_DCLK	-	-	-	-	-
8	PD25	LCD_HS	-	-	-	PWM0_B	-
7	PD26	LCD_VS	-	-	-	PWM1_A	-
6	PD27	LCD_DE	-	-	-	PWM1_B	-
GPIO E							
38	PE12	-	PWM1_B	-	DSPK1	-	-
39	PE13	-	PWM0_A	-	DSPK0	-	-

2.2. 时钟和电源

2.2.1. 电源系统方案

表 2-5 电源系统方案

方案	描述	优点	缺点
1	芯片 VCC33_IO (3.3 V)、VDD11_SYS (1.1 V) 和 LDO18 (1.8 V) 全都使用外部 DCDC 供电。各路电源平均电流不大于 200mA，选型按 500mA 以上。	发热最小、功耗最小	成本最高
2	芯片 VCC33_IO (3.3 V) 和 VDD11_SYS (1.1 V) 采用外部 DCDC 供电，LDO18 使用内置 LDO 供电。各路电源平均电流不大于 200mA，选型按 500mA 以上。	DCDC 电源效率高功耗降低	-

表 2-5 电源系统方案 (续)

方案	描述	优点	缺点
3	芯片 VCC33_IO (3.3 V/300 mA) 采用单 3.3 V 供电, VDD11_SYS 和 LDO18 使用内置 LDO 供电。单电源平均电流不大于 300mA, 选型按 500mA 以上。	电路简洁、成本最低, 优先推荐方案	LDO 电源效率低、功耗最高

2.2.2. POWER

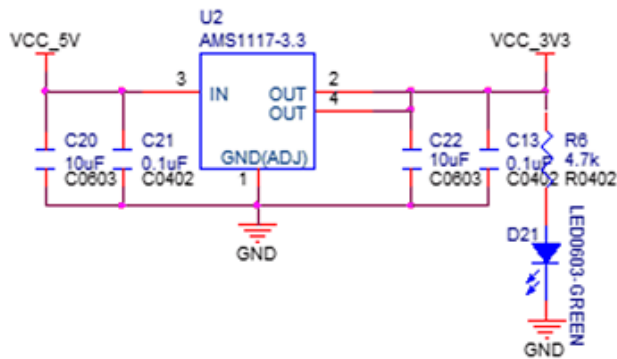


图 2-1 芯片 VCC33_IO 单 3.3 V 电源供电原理图

- 内置 LDO18, 芯片复位时默认关闭, SDK 可在 pbp_cfg.json 文件中配置打开或关闭, 输出 1.8 V~1.92 V 供 PSRAM 使用, LDO18 引脚外部接 10 uF + 0.1 uF 旁路电容即可。
- 内置 LDO1x, 芯片复位时默认开启, SDK 可在 menuconfig 中配置打开或关闭, 输出 1.1 V~1.21V 供 VDD11_SYS 使用, VDD11_SYS 引脚外挂 10 uF + 0.1 uF 旁路电容即可。
- 内置 LDO25, 默认开启, 供内部模拟模块使用, LDO25 引脚外部接 1 uf 旁路电容即可。

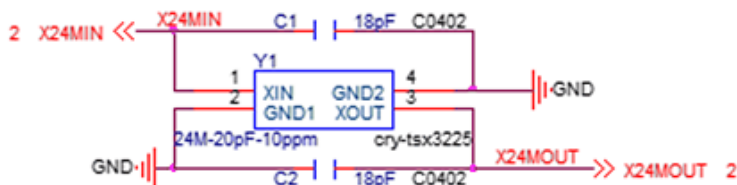
 注:

- 若使用内置 LDO18 和 LDO1x, 只有 3.3V 单独供电, 因转换效率问题, 功耗会较外置 DCDC 增加 100mW 左右。
- 一路 DCDC 电源方案, 7 寸屏动态场景开发板, 芯片表面温度 40 左右, 芯片功耗约 280 mW , 芯片休眠功耗约 6 mW 。
- 若使用外部 1.8 V 和 1.1 V 供电, 内置 LDO18 和 LDO1x 需要软件关闭。
- 无上下电顺序要求, VCC33_IO 上电上升沿时间需大于 100 us 而小于 5 ms。

2.2.3. PLL

PLL 需外接 24MHz 晶振:

- D123 外挂 24 MHz 晶振精度要求小于 ± 20 ppm，匹配电容根据晶体负载电容选择。
- PLL_XO 建议串联 0R 电阻，便于调试振荡幅度。
- D121 内置 24M OSC，精度 < 2%，不支持外挂晶振



2.2.4. BOOT

如何进入烧录模式：

- 存储介质空片情况下，可直接进烧录模式，此时 PA0/PA1 UART0 引脚会打印字符 A 说明进了烧录模式。或使用 PA0/PA1 UART0 连接电脑 Aiburn 烧录工具能识别烧录。
- 存储介质空片或者有固件情况，SDC1 TF-CARD 能在上电或复位时使用 1 数据线或 4 数据线强制进行烧录，通常用于量产及升级。
- 存储介质有固件情况下，SDK 默认使用 PA0 当做 BOOT 检测引脚，上电或复位时 BOOT 下拉低电平进入烧录模式。

如何修改 BOOT 引脚配置：

- 在 `pbp_cfg.json` 文件配置，路径 `target/<product>/xxx/pack/pbp_cfg.json`

其中 `<product>` 为具体型号名称，如 D12x, D13x 或 G73x。

比如将 boot 引脚改为使用 PE12，改动说明如下：

```
upgmode_pin_cfg_reg : "0x187004b0" , //PE12, 0x18700000+0x80+G*0x100+P*0x4
upgmode_pin_cfg_val : "0x10321" , //pinmux val, 默认不变
upgmode_pin_input_reg : "0x18700400" , //input val, 0x18700000+G*0x100
upgmode_pin_input_msk : "0x1000" , //bit mask, 二进制第 12 位, 转 16 进制即 0x1000
upgmode_pin_input_val : "0x0" , //bit val, 0 为低电平检测, 若是高电平, 改为 0x1000 按位检测
upgmode_pin_pullup_dly : "500" , //检测 delay, 默认不变
```

2.2.5. RESET

RESETN 引脚内置约 30 kΩ 上拉电阻和去抖滤波，低电平复位，不使用可直接悬空，建议预留按键或跳线方便调试。

- 上电 VCC33-IO 高于 2.5V 后延迟 7ms 左右放开复位，下电 VCC33 低于 1.7V 彻底复位，RESET 下拉大于 2ms 后复位。
- 若想延迟放开复位，可外挂电容，最大建议不超过 4.7uF。
- 可使用电压监控、外部看门狗、外部 IO 进行复位控制。

2.3. 存储

2.3.1. FLASH

SPI0/1 为 QSPI 控制器，最大支持四线数据传输，用于 Flash 类型设备的快速读写访问。

- 默认使用 PB0~PB5 引脚的 SPI0 为 Flash 类型设备启动接口。
- QSPI 支持 NAND Flash / NOR Flash，支持单/双/四线模式。
- IO 最大速率 SDR 100 MHz，仅支持 3.3 V IO 电压，Flash 容量不限制。

 注：

- SPI_CS、SPI_WP、SPI_HOLD 必需上拉。
- QSPI 信号除 SPI_CS 外整组必需做等长约束，约束控制在 40 mil 内，否则跑四线模式容易出现速度跑不高的情况。
- 启动阶段 BROM 有 Try 介质过程，PB0~PB5 引脚 SPI0 接口 CS/CMD/CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描。

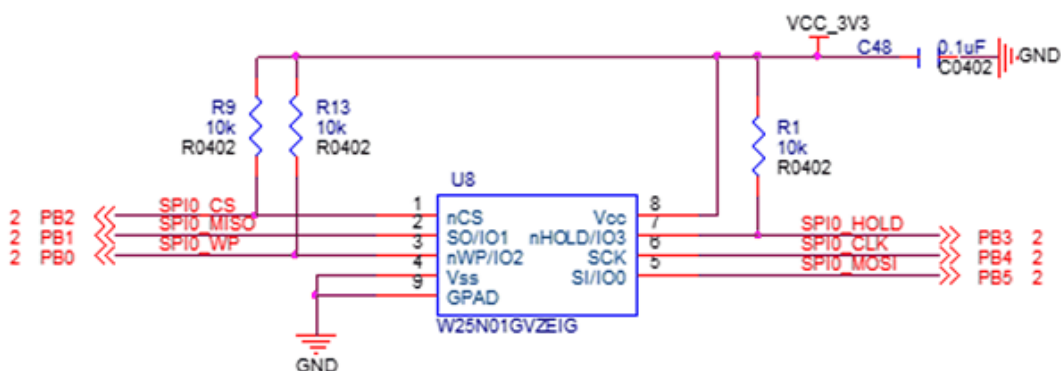


图 2-2 SPI0 NAND Flash 电路原理图

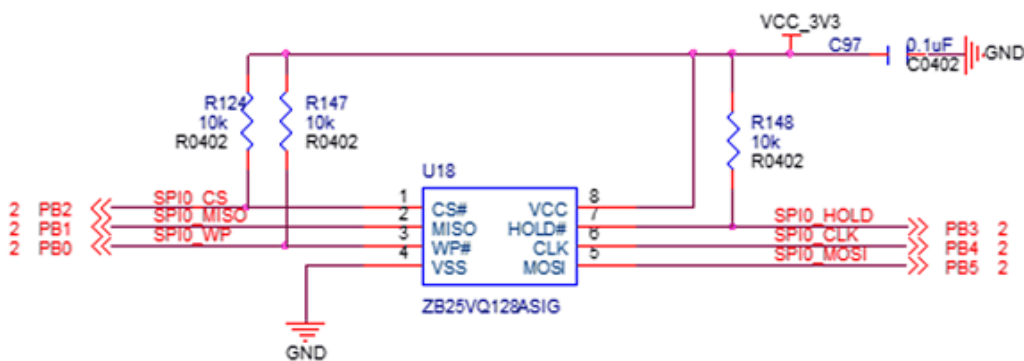


图 2-3 SPI0 NOR Flash 电路原理图

2.3.2. eMMC

使用 SDC0 接口，支持单线/ 四线模式，支持 eMMC 4.41 协议，支持 SDR25/ SDR50/ DDR50 模式。

- IO 最大速率 DDR 50 MHz，仅支持 3.3 V IO 电压。
- D0、CMD 和 RST 信号必需上拉到 VCC33_IO。

 注:

- SDC0_D0~SDC0_D3、SDC0_CLK、SDC0_CMD 信号走线做等长约束，约束不大于 40 mil。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- 启动阶段 BROM 有 Try 介质过程，SDC0 接口 D0/CMD/CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描。

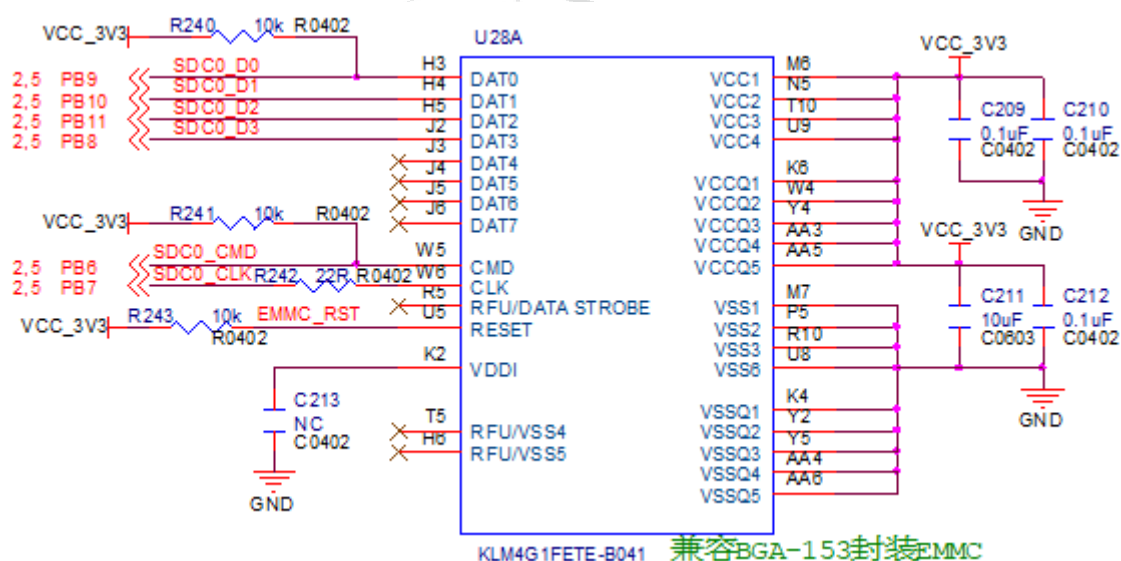


图 2-4 SDC0 eMMC 电路原理图

2.3.3. CARD

使用 SDC1 接口，支持单线/四线模式。

- IO 最大速率 DDR 50 MHz，仅支持 3.3 V IO 电压。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- D0、CMD 和 DET 信号建议上拉到 VCC33_IO。
- SD 接口信号线 TVS 管结电容 < 22 pF，否则影响信号传输质量。
- 建议保留 DET 信号线上的 1k 串联电阻，避免在插入 SD CARD 时产生信号下冲，同时提高 GPIO ESD 性能。



注:

- SDC1_D0~SDC1_D3、SDC1_CLK、SDC1_CMD 信号走线做等长约束，约束不大于 50 mil。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- 启动阶段 BROM 有 Try 介质过程，SDC1 接口 D0/CMD/CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描。

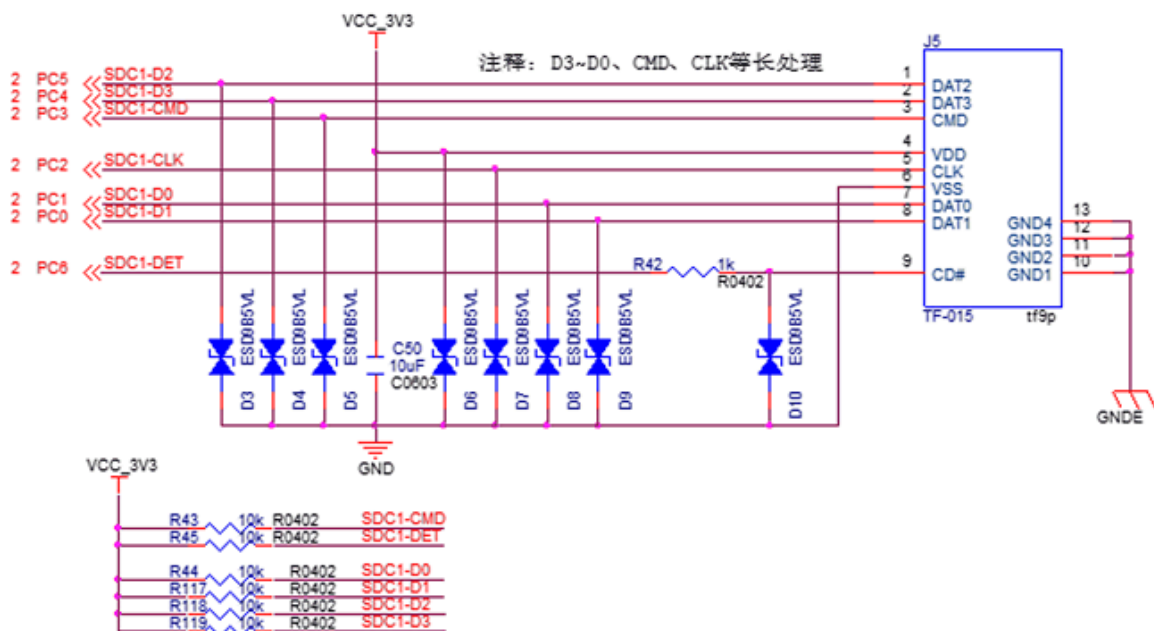


图 2-5 SDC1 CARD 电路原理图



注:

- 启动优先级：TF-CARD SDC1 > NOR SPI0 > NAND SPI0 > eMMC SDC0。
- 启动阶段 BROM 有 Try 介质过程，PB0~PB5 引脚 SPI0 接口 CS/ MOSI/ CLK 、SDC0/ SDC1 接口 D0/ CMD/ CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描输出波形。
- Flash 建议使用 WSON8 带 EPAD 封装，可兼容 NAND/NOR Flash。
- EMMC 建议使用 BGA153 封装，可兼容市面大部分 EMMC，不限制容量，不需要适配驱动。

2.4. 多媒体

2.4.1. AUDIO

• Speaker

- 支持 2 路单端输出（双喇叭，左右声道输出）。
- 支持 1 路差分输出（单喇叭，单声道输出）。
- 支持 DSPK0 和 DSPK1 内部混音后，再通过任意单一通路输出。



注:

DSPK 是数字信号，从主控芯片出来必需接 RC ($R = 100R$, $C = 470\text{ nF}$) 转换成模拟信号才能给到音频功放。

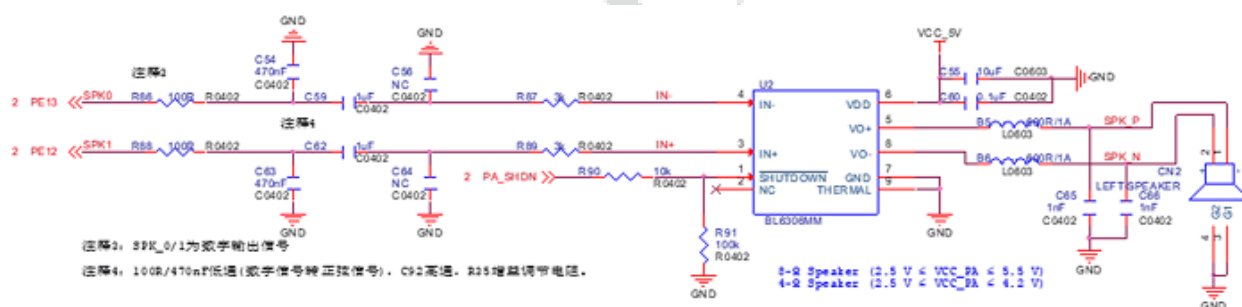


图 2-6 Speaker 差分输出电路原理图

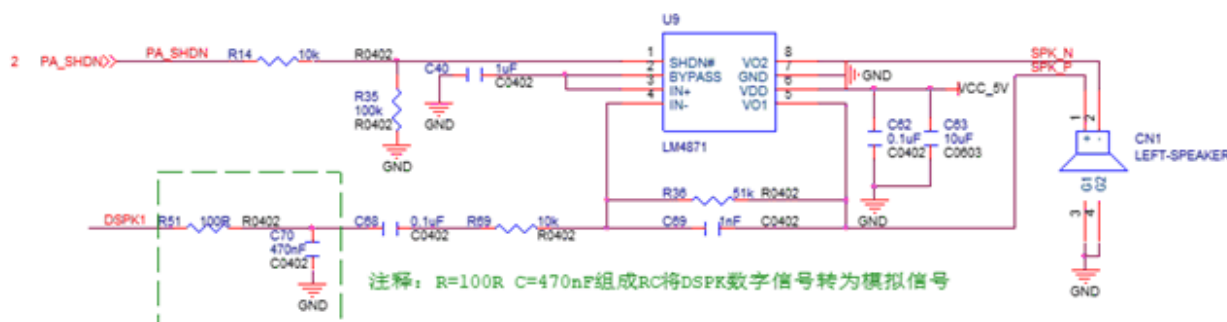


图 2-7 Speaker 单端输出电路原理图

2.4.2. MCU 屏接口

MCU 屏接口包含常见的 I8080、SPI、QSPI。

I8080								
PIN NAME	MAPPING	0	1	2	3	4	5	6
	BITS/PIXEL	24	18	16	24	18	16	24
	CLKS/PIXEL	1	1	1	2	2	2	3
GPD_P0	LCD_D0	DB0						
GPD_P1	LCD_D1	DB1						
GPD_P2	LCD_D2	DB2						
GPD_P3	LCD_D3	DB3						
GPD_P4	LCD_D4	DB4						
GPD_P5	LCD_D5	DB5						
GPD_P6	LCD_D6	DB6	DB0					
GPD_P7	LCD_D7	DB7	DB1					
GPD_P8	LCD_D8	DB8	DB2	DB0				
GPD_P9	LCD_D9	DB9	DB3	DB1				
GPD_P10	LCD_D10	DB10	DB4	DB2				
GPD_P11	LCD_D11	DB11	DB5	DB3				
GPD_P12	LCD_D12	DB12	DB6	DB4	DB0			
GPD_P13	LCD_D13	DB13	DB7	DB5	DB1			
GPD_P14	LCD_D14	DB14	DB8	DB6	DB2			
GPD_P15	LCD_D15	DB15	DB9	DB7	DB3	DB0		
GPD_P16	LCD_D16	DB16	DB10	DB8	DB4	DB1	DB0	DB0
GPD_P17	LCD_D17	DB17	DB11	DB9	DB5	DB2	DB1	DB1
GPD_P18	LCD_D18	DB18	DB12	DB10	DB6	DB3	DB2	DB2
GPD_P19	LCD_D19	DB19	DB13	DB11	DB7	DB4	DB3	DB3
GPD_P20	LCD_D20	DB20	DB14	DB12	DB8	DB5	DB4	DB4
GPD_P21	LCD_D21	DB21	DB15	DB13	DB9	DB6	DB5	DB5
GPD_P22	LCD_D22	DB22	DB16	DB14	DB10	DB7	DB6	DB6
GPD_P23	LCD_D23	DB23	DB17	DB15	DB11	DB8	DB7	DB7
GPD_P24	LCD_DCLK	WR	WR	WR	WR	WR	WR	WR
GPD_P25	LCD_HS	RD	RD	RD	RD	RD	RD	RD
GPD_P26	LCD_VS	CS	CS	CS	CS	CS	CS	CS
GPD_P27	LCD_DE	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS

图 2-8 I8080 不同配置定义



注:

- SPI 屏通信接口交叉，PD21/ SDO 为输出，需接屏端 SDI 输入。PD20/ SDI 为输入，需接屏端 SDO 输出。若屏幕无 RS 信号，则 RS 引脚不需要接。
- 少部分不支持 0x3C 命令的 SPI 屏，不能使用 LCD 点屏，可以使用普通 SPI 接口点屏。

PIN NAME	MAPPING	SPI	SPI	QSPI
GPD_P20	LCD_D20	SDI	/	SDA0
GPD_P21	LCD_D21	SDO	SDA	SDA1
GPD_P22	LCD_D22	/	/	SDA2
GPD_P23	LCD_D23	/	/	SDA3
GPD_P24	LCD_DCLK	SCL	SCL	SCL
GPD_P25	LCD_HS	/	/	/
GPD_P26	LCD_VS	CS	CS	CS
GPD_P27	LCD_DE	RS	RS	RS

图 2-9 SPI/ QSPI 屏连接定义

2.4.3. RGB 屏接口

LCD 接口支持 PRGB(并行 RGB)、SRGB(串行 RGB)。

PRGB 模式兼容五种 MAPPING 输出配置，默认为 24 bits，可配置为 18 bits、16 bits，相应的低位不使用。

- 配置 0: RGB888 建议使用，支持 R/G/B 整组信号互换，支持 3 组信号同时高低位反序。
- 配置 1: RGB666 建议使用，支持 R/G/B 整组信号互换。
- 配置 2: RGB666，支持 R/G/B 整组信号互换。
- 配置 3: RGB565 建议使用，支持 R/G/B 整组信号互换。
- 配置 4: RGB565，支持 R/G/B 整组信号互换。



注：

- 只有 RGB888 支持组内信号高位到低位排序互换，需软件配置 data-mirror。
- 默认配置为 RGB 线序，为方便 Layout，可将 R 和 B 整组互换，需软件配置将 data-order 修改为 BGR。
- RGB888 接口高位可用于 RGB666 或 RGB565，芯片端相应的低位不接或可用于其它功能。
- 需要初始化的 RGB 屏幕，其控制信号 CS/SCL /SDA 可使用任意空闲 IO 进行模拟初始化。

PIN NAME		PRGB					SRGB	
	MAPPING	0	1	2	3	4	0	1
	BITS/PIXEL	24	18	18	16	16	24	18
	CLKS/PIXEL	1	1	1	1	1	3	3
GPD_P0	LCD_D0	B0	B0	B2	B0	B3	LCD_D0	LCD_D2
GPD_P1	LCD_D1	B1	B1	B3	B1	B4	LCD_D1	LCD_D3
GPD_P2	LCD_D2	B2	G0	B4	B2	B5	LCD_D2	LCD_D4
GPD_P3	LCD_D3	B3	G1	B5	G0	B6	LCD_D3	LCD_D5
GPD_P4	LCD_D4	B4	R0	B6	G1	B7	LCD_D4	LCD_D6
GPD_P5	LCD_D5	B5	R1	B7	R0	G2	LCD_D5	LCD_D7
GPD_P6	LCD_D6	B6	B2	G2	R1	G3	LCD_D6	LCD_D0
GPD_P7	LCD_D7	B7	B3	G3	R2	G4	LCD_D7	LCD_D1
GPD_P8	LCD_D8	G0	B4	G4	B3	G5	LCD_D0	LCD_D2
GPD_P9	LCD_D9	G1	B5	G5	B4	G6	LCD_D1	LCD_D3
GPD_P10	LCD_D10	G2	B6	G6	B5	G7	LCD_D2	LCD_D4
GPD_P11	LCD_D11	G3	B7	G7	B6	R3	LCD_D3	LCD_D5
GPD_P12	LCD_D12	G4	G2	R2	B7	R4	LCD_D4	LCD_D6
GPD_P13	LCD_D13	G5	G3	R3	G2	R5	LCD_D5	LCD_D7
GPD_P14	LCD_D14	G6	G4	R4	G3	R6	LCD_D6	LCD_D0
GPD_P15	LCD_D15	G7	G5	R5	G4	R7	LCD_D7	LCD_D1
GPD_P16	LCD_D16	R0	G6	R6	G5	B0	LCD_D0	LCD_D2
GPD_P17	LCD_D17	R1	G7	R7	G6	B1	LCD_D1	LCD_D3
GPD_P18	LCD_D18	R2	R2	B0	G7	B2	LCD_D2	LCD_D4
GPD_P19	LCD_D19	R3	R3	B1	R3	G0	LCD_D3	LCD_D5
GPD_P20	LCD_D20	R4	R4	G0	R4	G1	LCD_D4	LCD_D6
GPD_P21	LCD_D21	R5	R5	G1	R5	R0	LCD_D5	LCD_D7
GPD_P22	LCD_D22	R6	R6	R0	R6	R1	LCD_D6	LCD_D0
GPD_P23	LCD_D23	R7	R7	R1	R7	R2	LCD_D7	LCD_D1
GPD_P24	LCD_DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	DCLK
GPD_P25	LCD_HS	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC
GPD_P26	LCD_VS	VSNC	VSNC	VSNC	VSNC	VSNC	VSNC	VSNC
GPD_P27	LCD_DE	DE	DE	DE	DE	DE	DE	DE

图 2-10 RGB 不同配置定义

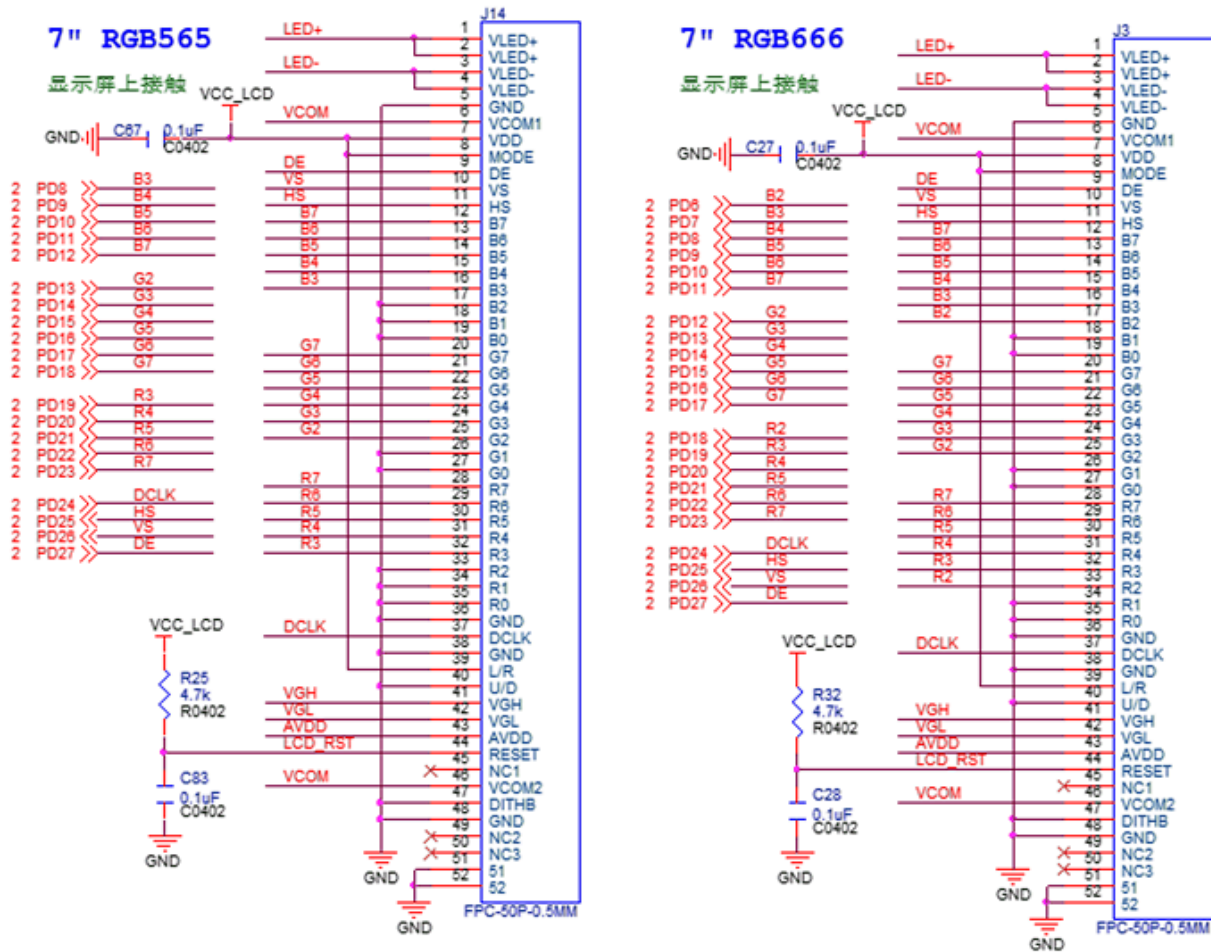


图 2-11 RGB565 / RGB666 电路原理图

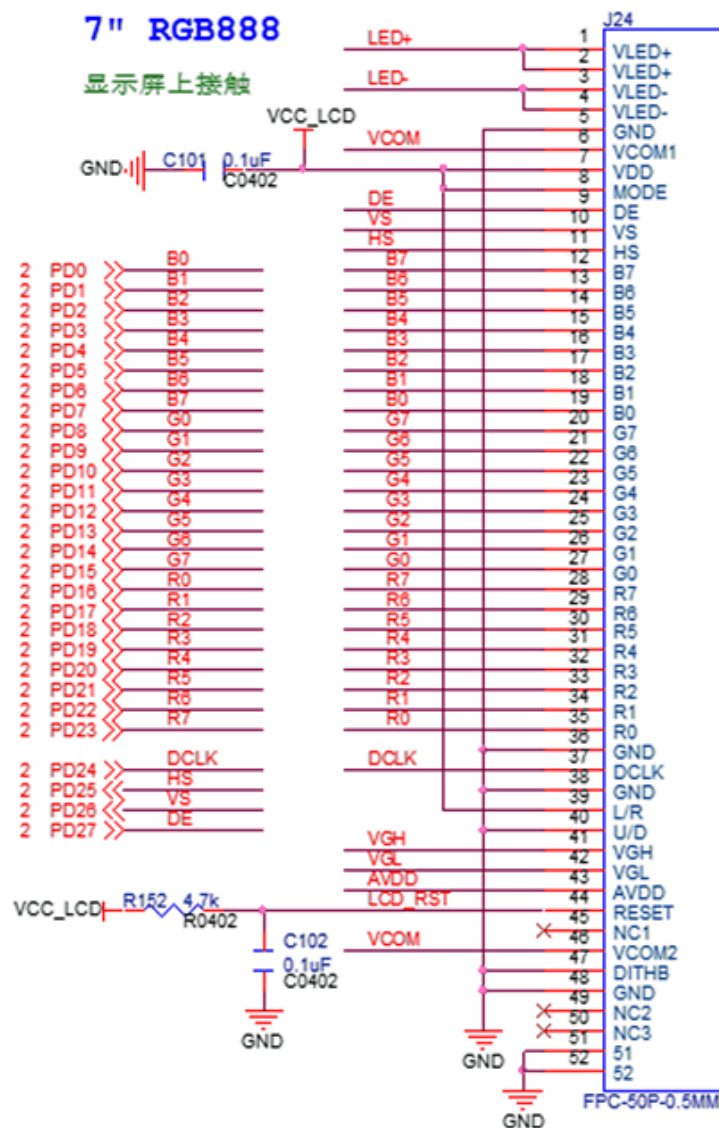


图 2-12 RGB888 电路原理图

2.4.4. PWM

支持下列 PWM 波形发生器：

- PWM0
- PWM1

PWM 波形发生器的说明如下：

- PWM_x_A 和 PWM_x_B 同属一组 PWM，可配置成单独输出或同时输出，但频率相同，占空比可不相同。
- PWM 通常用于背光控制，频率一般为 20 KHz ~ 1 MHz。
- PWM 通常用于蜂鸣器，频率一般为 3 KHz ~ 4 KHz。



注:

- PWM_x_A 和 PWM_x_B 可分开独立控制，但频率是相同的，占空比可独立调。
- 不同频率的应用不能使用同一组 PWM，比如蜂鸣器和背光，需分开使用不同通道。

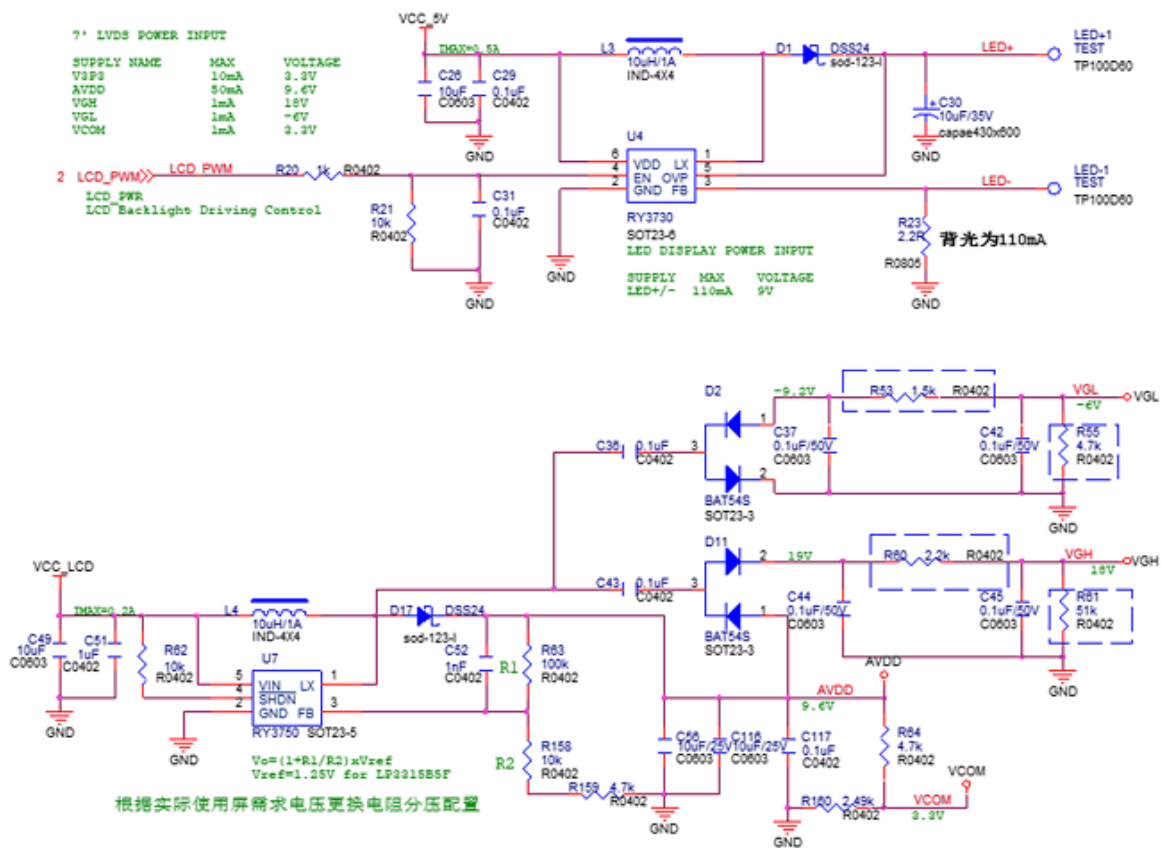


图 2-13 LCD 背光和偏压电路原理图

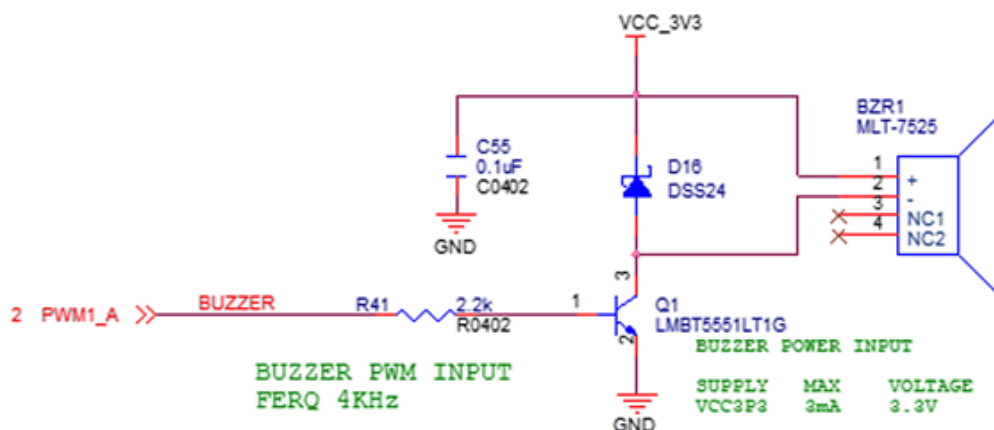


图 2-14 蜂鸣器电路原理图

2.4.5. TP

集成 RTP 电阻触摸屏接口，可支持 RTP 电阻屏触摸。

- RTP 仅支持 4 线，即 X+/X-/Y+/Y-。
- RTP 支持最多 2 点触摸。
- 若不使用 RTP 触摸功能，PA8~PA11 引脚可当普通 ADC 功能使用。

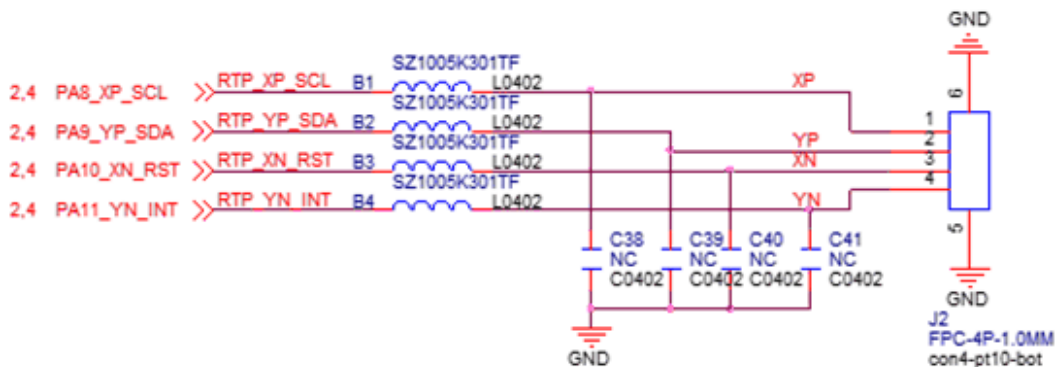


图 2-15 RTP 电阻屏触摸电路原理图

使用 I2C 和 GPIO，可支持 CTP 电容屏触摸。

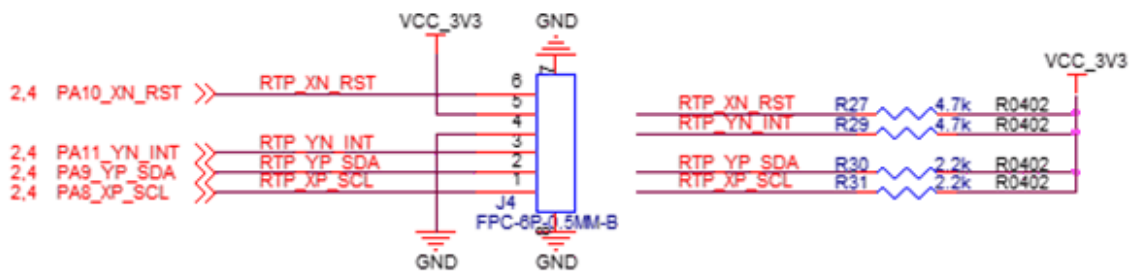


图 2-16 CTP 电容屏触摸电路原理图

2.5. 通用接口

2.5.1. CAN

支持 CAN0 和 CAN1 两套控制器

- 支持 CAN2.0A 和 CAN2.0B 协议，可编程通信速率最高 1 Mbps。
- 外围电路需接收发射器，才能组成 CAN 总线网络。

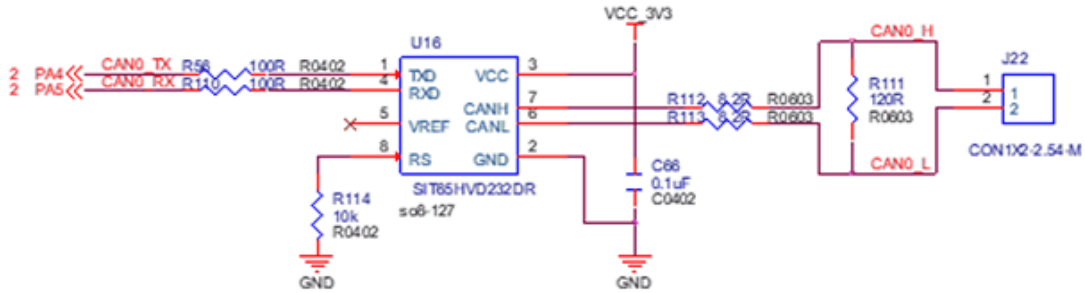


图 2-17 CAN 电路原理图

2.5.2. CIR

支持市面常见红外协议，如 NEC、RC5、RC6、RC-MM、Sony、Sanyo、JVC 等。

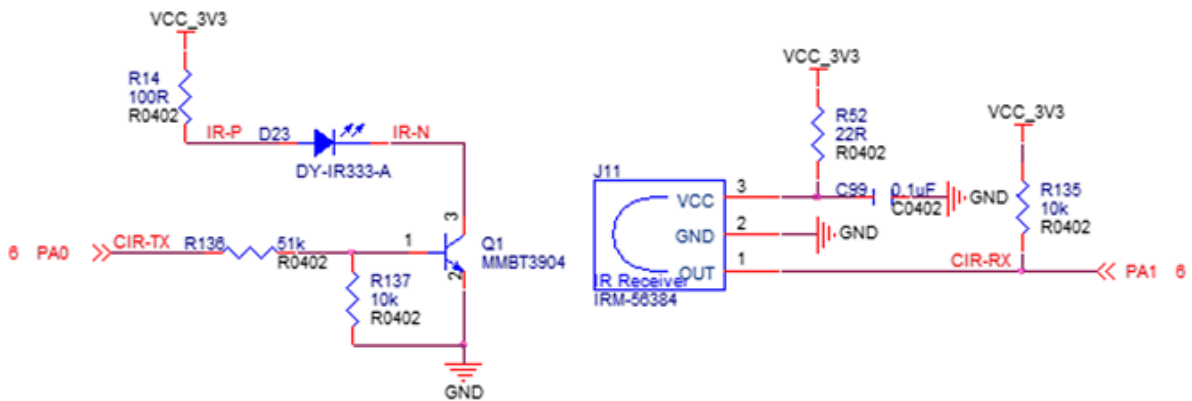


图 2-18 CIR 红外收发电路原理图

2.5.3. I2C

I2C 速率最大支持 400 Kbps，支持 master 和 slave 模式。

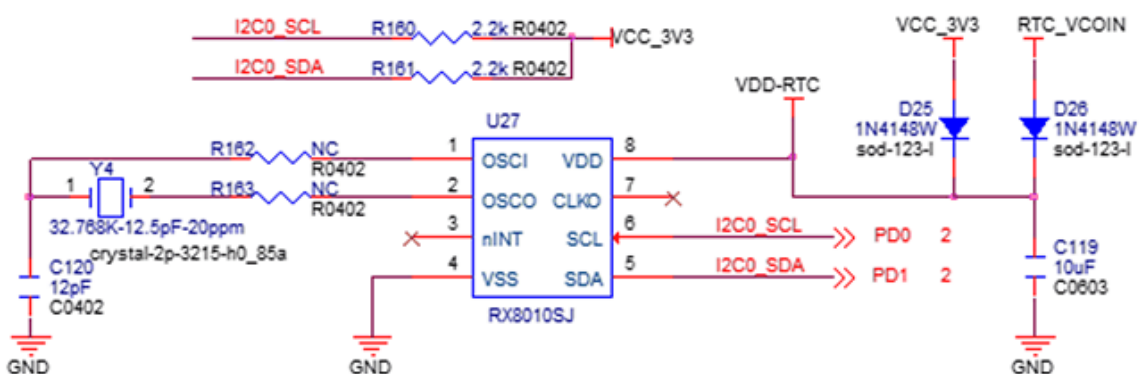


图 2-19 I2C 外接 RTC 电路原理图

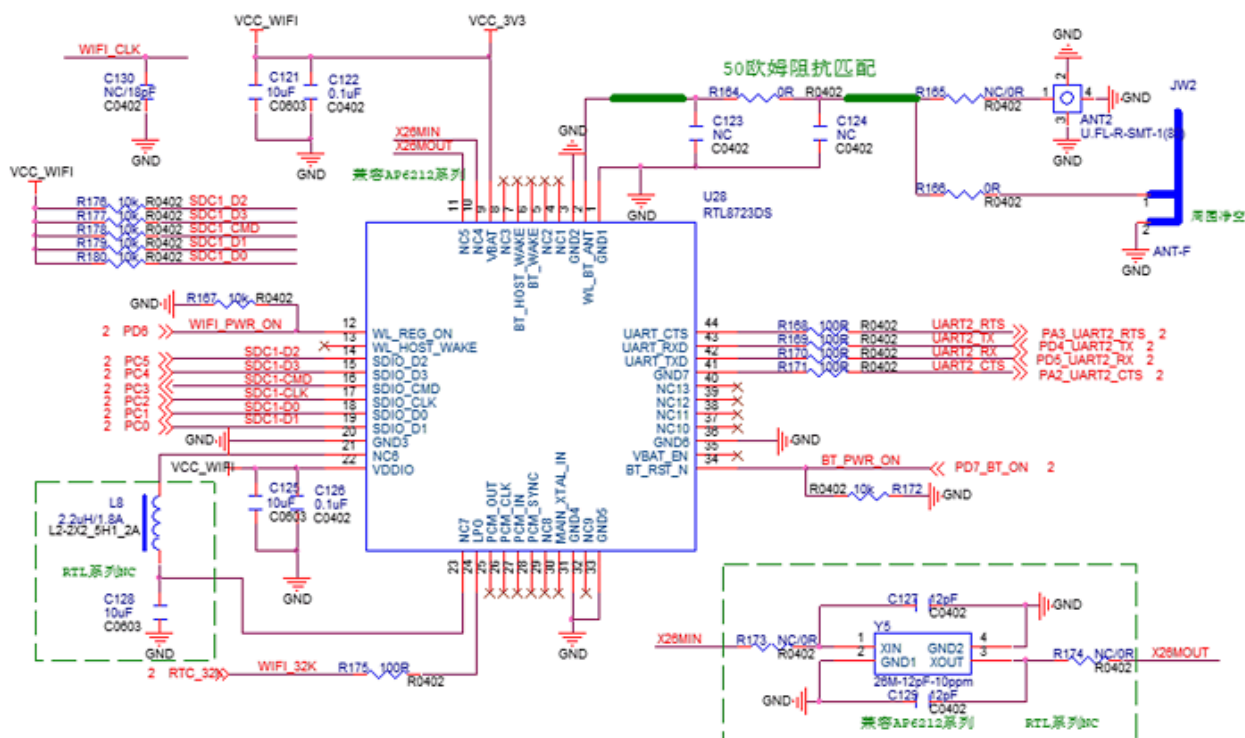


图 2-21 SDC1 WiFi+BT 电路原理图

2.5.5. SPI

SPI0/1 为标准 SPI 控制器，用于存储设备或其它 SPI 接口设备的访问。

- 支持 Master，不支持 Slave。
- SPI0/1 支持 QSPI 单/双/四线模式。
- SPI_CS、SPI_WP、SPI_HOLD 必需保留上拉电阻。

2.5.6. UART

UART 兼容工业 16550 标准，支持常用波特率，最大波特率支持 5 Mbps。

- 支持 UART 两线（TX、RX），通常应用于 TTL、RS485、RS232、DEBUG 打印。
- 支持 UART 三线（TX、RX、RTS），通常应用于 RS485，RTS 可用于 485 硬件流控。
- 支持 UART 四线自动流控（TX、RX、RTS、CTS），通常应用于 RS232、蓝牙通信。

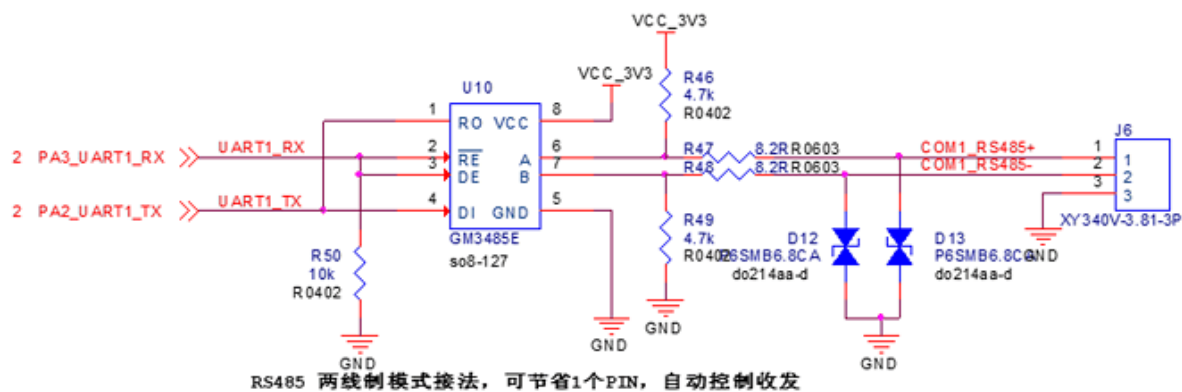


图 2-24 RS485 两线接法电路原理图

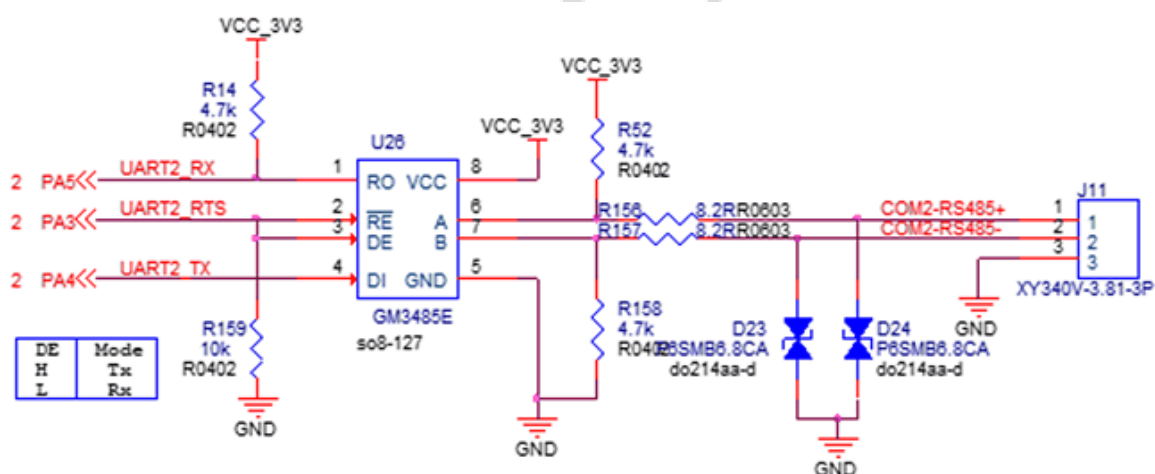


图 2-25 RS485 三线接法电路原理图

3. 布线设计

3.1. 电源

尽量保证完整地平面，可以降低电源和地回路的阻抗，保证电源完整性和散热性能。

- 在合适的位置放置过孔，可以降低电源和地层的阻抗，有助于为信号提供一个低阻抗的回流回路。
- 在多电源平面和地平面分割时，优先考虑敏感信号的布局走线。
- 滤波电容靠近主控引脚放置，滤波电容就近多打 GND 过孔，且保证 VDD-SYS 和 LDO18 引脚滤波电容地与主控地之间有直接连接，减小回流路径。
- 主控 EPAD 需要多打 GND 过孔，减小阻抗，增强散热能力。
- 单个电源引脚走线线宽至少 6mil，电源干流线宽至少 20mil。

3.2. 布局

PCB 布局时，要将不同功能的电路进行分类，比如电源、模拟电路、数字电路和高速接口连接器等，这些电路应该分模块放置在 PCB 板的不同区域。

- 电源电路放在电源输入端附近。元件放置按照从高压到低压的顺序。
- DCDC 或 LDO 去耦电容应尽量靠近输入输出端口。
- 模拟电路更容易受外界干扰影响，建议将模拟电路放置在远离高压和高速数字电路的地方，减少噪声耦合。
- 建议晶体靠近 CPU 放置，尽量包地处理，与其它敏感元件保持安全距离。

3.3. DCDC 电路

DC/DC 需要外接电感和电容。

- 尽量缩小 DC/DC 电流回路，以避免 EMI 问题。
- 让电流首先流经滤波电容，然后流至引脚。
- 去耦电容尽量靠近管脚放置，以避免环路不稳定问题。
- 尽量避免电感和电容之间不必要的通孔，降低环路阻抗。

3.4. 高速信号

高速信号走线必须考虑传播延迟和阻抗匹配以保证设备间的良好通信。

- 当必须在不同的参考平面之间进行切换时，最好在信号切换通孔 100 mil 附近提供接地回路通孔。
- 同一层上的时钟与相邻走线的间距至少应为两倍线宽（2W 原则），以减少串扰。
- QSPI 接口 SPI_MOSI、SPI_MISO、SPI_WP、SPI_HOLD、SPI_CLK、SPI_CMD 需等长约束（长度差建议不超过 40 mil）。
- SDC 接口 SDC_D0~3、SDC_CLK、SDC_CLK 需等长约束（长度差建议不超过 50 mil）。
- DVP 接口 D0~7、DVP_CK、DVP_HS、DVP_VS、DVP_MCLK 需等长约束（长度差建议不超过 50mil）。

3.5. 屏蔽

连接器接口有金属的或者是外壳导电的，裸漏在外面可被接触到，设计时应当考虑防静电性能。

- 外壳接地回路要尽量短，避免跨越关键信号或元件。
- 建议外壳屏蔽地用 RC 滤波电路或铁氧体磁珠连接到 PCB 数字地，注意连接位置和元件参数选择，这对 EMC 和 EMI 性能至关重要。
- 信号尽量从背面走线，远离外壳。
- 其它元件或走线，与外壳保持一定的安全距离，尽量 5 mm 以上，避免空气辐射路径。

3.6. 隔离

隔离在设计中经常用到，例如隔离强电和弱电，或者隔离模拟电路和数字电路。

- 以 RS485 隔离电路为例，接口端与通信电路之间采用光耦隔离器用于隔离。为了提高隔离性能，在隔离器下方设置隔离间隙，且隔离间隙应用于所有平面（顶层/电源层/地层/底层）以保证良好的隔离性能。
- 以模拟电路隔离为例，模拟地和数字地之间需要设置隔离间隙，可放置 0R 电阻单点接地。

3.7. 信号回流路径

信号和电源都有自己的回流路径。地平面可以是信号和电源的参考面，电源面也可以作为信号的参考面。

- 回路面积越小，阻抗越小，串扰和电磁干扰 (EMI) 的影响也就越小。
- 去耦电容尽量靠近输入输出端口，回流信号可以从表层直接回流至源端，最大程度地减小电流回流路径和阻抗。
- 考虑信号返回路径时，一定要避开电流回环路径上的断开点。电流回环的面积越小，EMC 的性能就越好。

4. 设计自查

4.1. POWER 设计 Checklist

表 4-1 POWER 设计 Checklist

序号	事项	确认（PASS/NO PASS）	备注
1	采用内部 LDO 供电，layout 需要注意 GND 焊盘散热问题。	-	-
3	使用 DCDC 给 VDD11_SYS 供电，FB 反馈点尽量从主控滤波电容端选取，防止电源走线过长有较大压降，导致系统工作不稳定。	-	-
5	供电无上下电顺序要求，VCC33_IO 上电上升沿时间需大于 100 us 而小于 5 ms。		

4.2. 显示接口设计 Checklist

表 4-2 显示接口设计 Checklist

序号	事项	确认（PASS/NO PASS）	备注
1	若使用 RGB666 或 RGB565，FPC 接口数据低位需接 GND	-	-
2	RGB888/ RGB666/ RGB565 支持整组互换	-	-
3	只有 RGB888 支持高低位顺序互换，RGB 三组都要同时换	-	-

4.3. Speaker 设计 Checklist

表 4-3 Speaker 设计 Checklist

序号	事项	确认（PASS/NO PASS）	备注
1	DSPK 为数字逻辑信号，需要外接 RC ($R = 100$, $C = 470 \text{ nF}$) 滤波转换成模拟信号，才能给到音频功放芯片。	-	-

4.4. 串行通信接口设计 Checklist

表 4-4 串行通信接口设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	I2C 信号是 OD 输出, 需外接上拉电阻, 根据负载不同, 建议选择 2k~4.7k。	-	-
2	I2C 同一路信号挂多个设备时, 地址不能重复。	-	-

4.5. 特殊 GPIO 设计 Checklist

表 4-5 特殊 GPIO 设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	如需进入升级模式, 可在 <code>pbp_cfg.json</code> 配置任意 IO 为下拉检测或上拉检测, SDK 默认使用 PA0 下拉检测, 建议预留按键或跳线。	-	-
3	启动阶段 BROM 有 Try 介质过程, PB0~PB5 的 SPI0 接口 CS/MOSI/CLK, SDC0、SDC1 接口 D0/CMD/CLK 有 ms 级脉冲波形输出, 做 IO 输出使用时需注意	-	-

4.6. EMC 防护设计 Checklist

表 4-6 EMC 防护设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	尽量不要热插拔, 如果有热插拔风险信号, 比如 UART、485、IO 等与外部连接的信号, 最好串接 22R~100R 小电阻进行 EOS 过电应力防护。	-	-
2	金属连接器与信号地之间, 建议并联 RC 用于静电泄放	-	-
3	RGB、I8080、SPI 屏, 建议在 CLK 上预留 RC 或 LC 滤波, 有空间的话所有数据线预留串接小电阻, 有助于 RE 辐射调试优化	-	-