



D21x 硬件指南

Version 2.0

修订日期：2025-08-07

版权声明

本文档是匠芯创科技（“ArtInChip”）的原创作品，匠芯创科技拥有该文档的全部版权。全部或部分复制必须获得匠芯创科技的书面批准，并向版权所有人明确确认。凡侵犯本公司版权等知识产权的，本公司将保留依法追究其法律责任的权利。

在法律允许的范围内，在此声明：使用前请仔细阅读合同条款和条件以及相关说明，并严格遵守本文档中的说明。匠芯创科技不对不当行为的后果（包括但不限于电压过高、超频或温度过高）承担任何责任。

匠芯创科技提供的信息仅作为参考或典型应用，本文档中的所有声明、信息和建议不构成任何明示或暗示的担保。匠芯创科技保留随时更改电路设计和/或规格的权利，恕不另行通知。

客户应全权负责获得实施解决方案/产品可能需要的第三方许可，匠芯创科技不承担任何与第三方许可相关的许可费或特许权使用费。对于任何要求的第三方许可证所涵盖的事项，匠芯创科技不承担任何保证、赔偿或其它义务。

凡以任何方式直接或间接使用本文档资料者，视为自愿接受本文档声明的约束。

修订记录

下表记录了 2025-08-01 (V2.0) 至今的所有修订历史：

版本	章节	修订说明
V2.0	-	修改了章节格式。
	时钟和电源	• 新增电源相关说明。 • 删除了 SYSTEM 描述。 • 新增BOOT和RESET章节。
	存储	• 更新了整节的注意说明。 • 新增关于 BROM 启动的注意事项。 • 删除 PSRAM 章节。
	多媒体	• RGB 屏接口 ◦ 新增了关于 LCD 接口支持特性的说明。 ◦ 更新了配置 0 的描述。 ◦ 在注意事项中，新增关于初始化 RGB 屏幕的描述。 • RGB 屏接口：新增注释说明，并添加了关于不支持 0x3C 命令 SPI 屏幕的特殊使用说明。 • 在 TP 中新增了不使用 RTP 触摸功能时 PA8-PA11 引脚可作为普通 ADC 功能使用的说明。
	布线设计	• 电源：新增了滤波电容、主控 EPAD 和单个电源引脚相关的说明。 • 删除了旁路和去耦。 • 在电源 和 高速信号中删除了不适用的内容。
	设计自查	• 更新了下列设计自查表： ◦ POWER 设计 Checklist ◦ 以太网设计 Checklist ◦ 串行通信接口设计 Checklist ◦ 特殊 GPIO 设计 Checklist • 新增了EMC 防护设计 Checklist。

内容

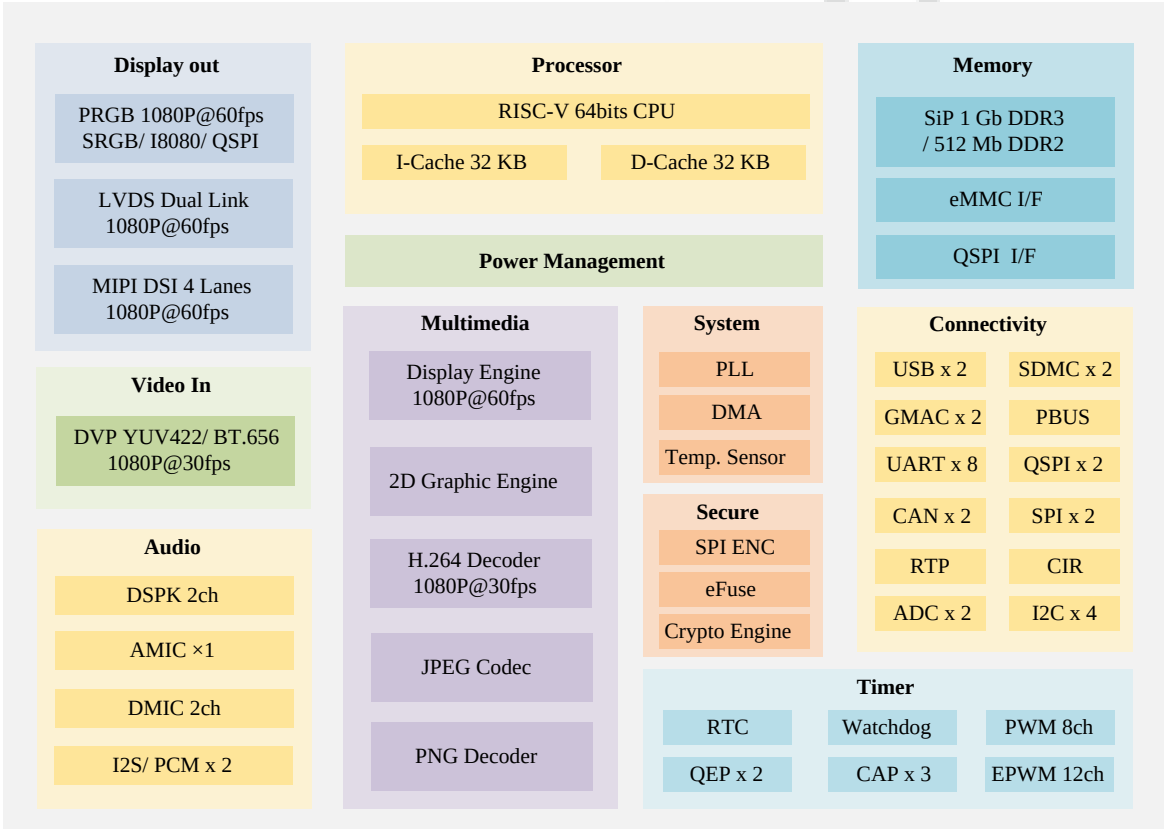
版权声明.....	ii
修订记录.....	iii
1. 简介.....	6
2. 原理图设计.....	8
2.1. 引脚复用.....	8
2.1.1. D211Bx 封装引脚说明.....	11
2.1.2. D211Dx 封装引脚说明.....	15
2.1.3. D213Ex 封装引脚说明.....	19
2.2. 时钟和电源.....	24
2.2.1. POWER.....	25
2.2.2. PLL.....	26
2.2.3. RTC.....	26
2.2.4. BOOT.....	27
2.2.5. RESET.....	27
2.3. 存储.....	27
2.3.1. FLASH.....	27
2.3.2. eMMC.....	28
2.3.3. CARD.....	29
2.4. 多媒体.....	30
2.4.1. AUDIO.....	31
2.4.2. DVP.....	33
2.4.3. LVDS 屏接口.....	33
2.4.4. MIPI-DSI 屏接口.....	35
2.4.5. MCU 屏接口.....	36
2.4.6. RGB 屏接口.....	38
2.4.7. PWM.....	41
2.4.8. TP.....	43
2.5. 通用接口.....	43
2.5.1. CAN.....	43
2.5.2. CIR.....	44
2.5.3. ETHERNET.....	44
2.5.4. I2C.....	49
2.5.5. SDIO.....	50
2.5.6. SPI.....	51
2.5.7. UART.....	51
2.5.8. USB.....	53
3. 布线设计.....	55
3.1. 电源.....	55
3.2. 布局.....	55
3.3. DCDC 电路.....	55
3.4. 高速信号.....	55
3.5. 屏蔽.....	56
3.6. 隔离.....	56
3.7. 信号回流路径.....	56
4. 设计自查.....	57
4.1. POWER 设计 Checklist.....	57

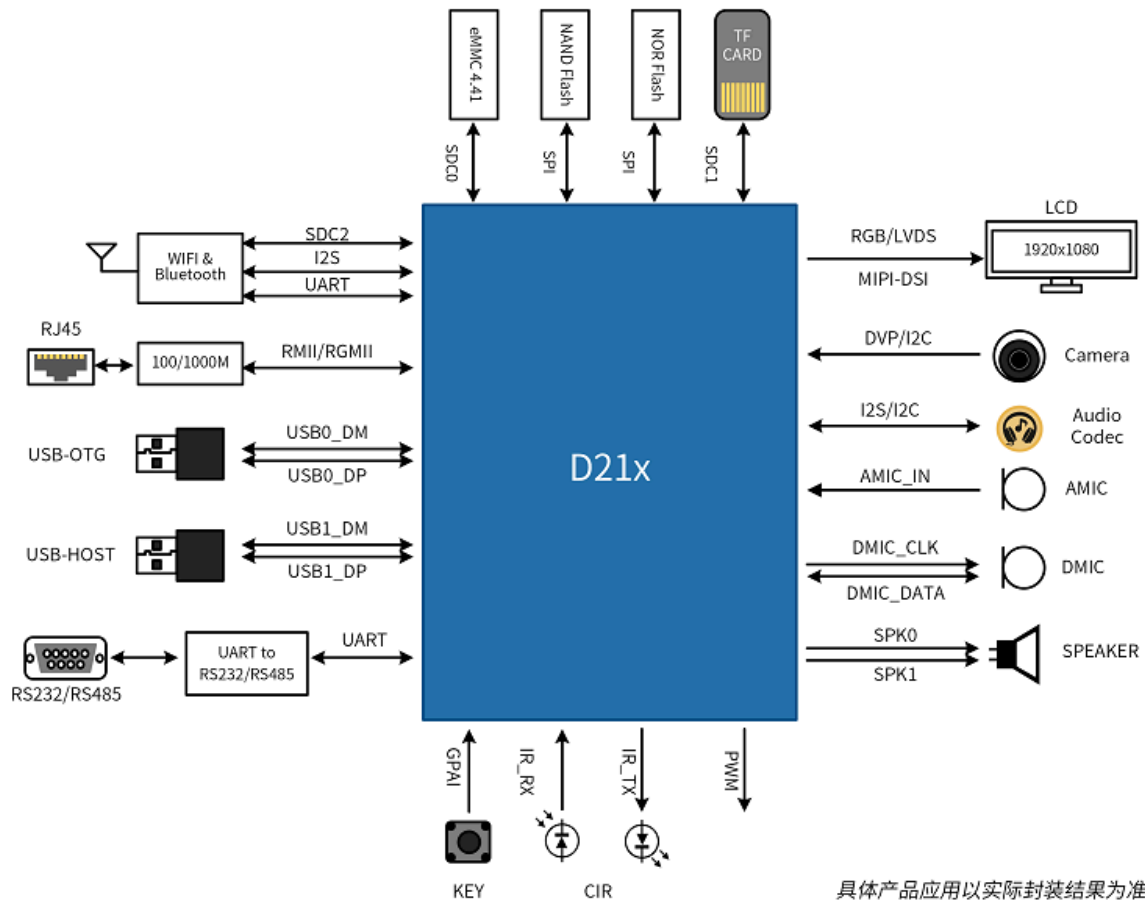
4.2. 显示接口设计 Checklist.....	57
4.3. Speaker 设计 Checklist.....	58
4.4. 以太网设计 Checklist.....	58
4.5. 串行通信接口设计 Checklist.....	59
4.6. 特殊 GPIO 设计 Checklist.....	59
4.7. EMC 防护设计 Checklist.....	59

ArtInChip

1. 简介

D21x 是一款高性能的全高清显示和智能控制 SoC，采用国产自主 64 位高算力 RISC-V 内核，内置 16 位 DDR 控制器。D21x 提供丰富的互联外设接口，配备了 2D 图像加速引擎和 H.264 解码引擎，可以满足各类交互设计场景和多媒体互动体验，具有高可靠性、高安全性、高开放度的设计标准，可以面向于泛工业领域应用。





2. 原理图设计

2.1. 引脚复用

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
PA0	GPADC0	0	I2C0_SCL	UART0_TX	AMIC_IN	IR_TX	–
PA1	GPADC1	1	I2C0_SDA	UART0_RX	AMIC_BIAS	IR_RX	–
PA2	GPADC2	2	–	UART0_RTS	–	–	–
PA3	GPADC3	3	–	UART0_CTS	–	–	–
PA4	GPADC4	4	–	UART1_TX	–	–	–
PA5	GPADC5	5	–	UART1_RX	–	–	–
PA6	GPADC6	6	I2C1_SCL	UART1_RTS	–	–	–
PA7	GPADC7	7	I2C1_SDA	UART1_CTS	–	–	–
PA8	RTP_XP	8	I2C2_SCL	UART2_TX	JTAG_DO	–	–
PA9	RTP_YP	9	I2C2_SDA	UART2_RX	JTAG_DI	–	–
PA10	RTP_XN	10	I2C3_SCL	UART2_RTS	JTAG_MS	–	–
PA11	RTP_YN	11	I2C3_SDA	UART2_CTS	JTAG_CK	–	–
PB0	SDC0_CMD	SPI0_HOLD	I2C1_SCL	UART7_TX	–	–	–
PB1	SDC0_CLK	SPI0_WP	I2C1_SDA	UART7_RX	–	–	–
PB2	SDC0_D3	SPI0_CS	–	–	–	–	–
PB3	SDC0_D0	SPI0_MISO	–	–	–	–	–
PB4	SDC0_D1	SPI0_MOSI	–	–	–	–	–
PB5	SDC0_D2	SPI0_CLK	–	–	–	–	–
PB6	SDC0_D4	SPI1_HOLD	I2C2_SCL	UART4_TX	–	CLK_OUT2	CLK_OUT3
PB7	SDC0_D5	SPI1_WP	I2C2_SDA	UART4_RX	–	–	–
PB8	SDC0_D6	SPI1_CS	UART4_RTS	UART5_TX	–	IR_RX	–
PB9	SDC0_D7	SPI1_MISO	UART6_RTS	UART5_RX	–	IR_TX	–
PB10	SDC0_DS	SPI1_MOSI	–	UART6_TX	–	–	–

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
PB11	SDC0_RST	SPI1_CLK	-	UART6_RX	-	-	-
PC0	SDC1_D1	LCD_D5	SPI2_CLK	UART1_TX	JTAG_MS	PWM0_A	-
PC1	SDC1_D0	LCD_D4	SPI2_CS	UART1_RX	JTAG_DI	PWM0_B	-
PC2	SDC1_CLK	LCD_D3	SPI2_MOSI	UART1_RTS	UART0_TX	PWM1_A	-
PC3	SDC1_CMD	LCD_D2	SPI2_MISO	UART2_TX	JTAG_DO	PWM1_B	-
PC4	SDC1_D3	LCD_D1	-	UART2_RX	UART0_RX	PWM2_A	-
PC5	SDC1_D2	LCD_D0	UART2_RTS	UART3_TX	JTAG_CK	PWM2_B	-
PC6	SDC1_DET	CLK_OUT0	DE_TE	UART3_RX	-	PWM3_A	-
PC7	-	-	-	UART3_RTS	-	PWM3_B	-
PD0	LCD_D0	SPI2_CLK	-	-	PBUS_AD0	PWM0_A	-
PD1	LCD_D1	SPI2_CS	-	-	PBUS_AD1	PWM0_B	-
PD2	LCD_D2	SPI2_MOSI	DE_TE	-	PBUS_AD2	PWM1_A	-
PD3	LCD_D3	SPI3_CLK	-	-	PBUS_AD3	PWM1_B	-
PD4	LCD_D4	SPI3_CS	-	-	PBUS_AD4	PWM2_A	-
PD5	LCD_D5	SPI3_MOSI	-	-	PBUS_AD5	PWM2_B	-
PD6	LCD_D6	SPI3_MISO	I2C0_SCL	UART1_TX	PBUS_AD6	-	-
PD7	LCD_D7	SPI2_MISO	I2C0_SDA	UART1_RX	PBUS_AD7	-	-
PD8	LCD_D8	LVDS1_D0N	SPI1_HOLD	UART2_TX	PBUS_AD8	EPWM0_A	-
PD9	LCD_D9	LVDS1_D0P	SPI1_WP	UART2_RX	PBUS_AD9	EPWM0_B	-
PD10	LCD_D10	LVDS1_D1N	SPI1_CS	UART3_TX	PBUS_AD10	EPWM1_A	-
PD11	LCD_D11	LVDS1_D1P	SPI1_MISO	UART3_RX	PBUS_AD11	EPWM1_B	-
PD12	LCD_D12	LVDS1_D2N	SPI1_MOSI	UART4_TX	PBUS_AD12	EPWM2_A	-
PD13	LCD_D13	LVDS1_D2P	SPI1_CLK	UART4_RX	PBUS_AD13	EPWM2_B	-
PD14	LCD_D14	LVDS1_CKN	SPI3_CLK	CAP0	PBUS_AD14	QEP0_H0	-
PD15	LCD_D15	LVDS1_CKP	SPI3_CS	CAP1	PBUS_AD15	QEP0_H1	-
PD16	LCD_D16	LVDS1_D3N	SPI3_MOSI	CAP2	PBUS_CLK	QEP0_H2	-
PD17	LCD_D17	LVDS1_D3P	SPI3_MISO	-	PBUS_NCS	QEP0_A	-
PD18	LCD_D18	LVDS0_D0N	DSI_D0N	I2C1_SCL	PBUS_NADV	QEP0_B	-

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
PD19	LCD_D19	LVDS0_D0P	DSI_D0P	I2C1_SDA	PBUS_NWE	QEP0_I	-
PD20	LCD_D20	LVDS0_D1N	DSI_D1N	UART7_TX	PBUS_NOE	QEP0_S	-
PD21	LCD_D21	LVDS0_D1P	DSI_D1P	UART7_RX	CLK_OUT0	-	-
PD22	LCD_D22	LVDS0_D2N	DSI_CKN	I2C3_SCL	UART6_TX	-	-
PD23	LCD_D23	LVDS0_D2P	DSI_CKP	I2C3_SDA	UART6_RX	-	-
PD24	LCD_DCLK	LVDS0_CKN	DSI_D2N	UART5_TX	SPI1_CLK	-	-
PD25	LCD_HS	LVDS0_CKP	DSI_D2P	UART5_RX	SPI1_CS	-	-
PD26	LCD_VS	LVDS0_D3N	DSI_D3N	PWM3_A	SPI1_MOSI	-	-
PD27	LCD_DE	LVDS0_D3P	DSI_D3P	PWM3_B	SPI1_MISO	-	RTC_32K
PE0	-	DVP_D0	I2C0_SCL	-	GMAC0_RXD1	EPWM3_A	PWM0_A
PE1	-	DVP_D1	I2C0_SDA	-	GMAC0_RXD0	EPWM3_B	PWM0_B
PE2	-	DVP_D2	CAN0_TX	UART4_TX	GMAC0_RXCTL	EPWM4_A	PWM1_A
PE3	-	DVP_D3	CAN0_RX	UART4_RX	GMAC0_CLKIN	EPWM4_B	PWM1_B
PE4	-	DVP_D4	CAN1_TX	UART5_TX	GMAC0_TXD1	EPWM5_A	PWM2_A
PE5	-	DVP_D5	CAN1_RX	UART5_RX	GMAC0_TXD0	EPWM5_B	PWM2_B
PE6	DSPK0	DVP_D6	UART5_RTS	UART6_TX	GMAC0_TXCK	QEP1_H0	CAP0
PE7	DSPK1	DVP_D7	UART7_RTS	UART6_RX	GMAC0_TXCTL	QEP1_H1	CAP1
PE8	I2S0_MCLK	DVP_CK	UART6_RTS	UART7_TX	GMAC0_MDC	QEP1_H2	CAP2
PE9	I2S0_BCLK	DVP_HS	UART6_CTS	UART7_RX	GMAC0_MDIO	QEP1_A	-
PE10	I2S0_LRCK	DVP_VS	DSPK0	-	CLK_OUT2	QEP1_B	-
PE11	I2S0_DOUT	I2S0_DIN	DSPK1	CLK_OUT1	GMAC0_RXD3	QEP1_I	-
PE12	I2S0_DIN	SPI3_CLK	DMIC_CLK	I2C2_SCL	GMAC0_RXD2	QEP1_S	-
PE13	-	SPI3_CS	DMIC_D0	I2C2_SDA	GMAC0_RXCK	CAP0	-
PE14	-	SPI3_MOSI	-	UART3_TX	GMAC0_TXD3	CAP1	-
PE15	-	SPI3_MISO	-	UART3_RX	GMAC0_TXD2	CAP2	-
PE16	-	SPI0_CLK	CAN0_TX	I2C3_SCL	GMAC0_TRIG	-	-
PE17	-	SPI0_CS	CAN0_RX	I2C3_SDA	GMAC0_PPSO	-	-
PE18	-	SPI0_MOSI	CAN1_TX	PWM3_A	GMAC1_TRIG	-	-

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
PE19	–	SPI0_MISO	CAN1_RX	PWM3_B	GMAC1_PPSO	–	–
PF0	SDC2_D1	SPI2_CLK	–	UART5_TX	GMAC1_RXD1	PBUS_AD0	–
PF1	SDC2_D0	SPI2_CS	–	UART5_RX	GMAC1_RXD0	PBUS_AD1	–
PF2	SDC2_CLK	SPI2_MOSI	–	UART5_RTS	GMAC1_RXCTL	PBUS_AD2	–
PF3	SDC2_CMD	SPI2_MISO	–	UART5_CTS	GMAC1_CLKIN	PBUS_AD3	–
PF4	SDC2_D3	–	–	UART6_TX	GMAC1_TXD1	PBUS_AD4	–
PF5	SDC2_D2	–	–	UART6_RX	GMAC1_TXD0	PBUS_AD5	–
PF6	–	–	–	UART7_TX	GMAC1_TXCK	PBUS_AD6	–
PF7	–	–	–	UART7_RX	GMAC1_TXCTL	PBUS_AD7	–
PF8	–	–	–	UART7_RTS	GMAC1_MDC	PBUS_AD8	–
PF9	–	–	–	UART7_CTS	GMAC1_MDIO	PBUS_AD9	–
PF10	I2S1_MCLK	I2S1_DIN	–	UART3_CTS	CLK_OUT3	PBUS_AD10	–
PF11	I2S1_BCLK	–	PBUS_AD11	UART3_TX	GMAC1_RXD3	PBUS_CLK	–
PF12	I2S1_LRCK	–	UART4_RTS	UART3_RX	GMAC1_RXD2	PBUS_NCS	–
PF13	I2S1_DOUT	I2S1_DIN	UART4_CTS	UART3_RTS	GMAC1_RXCK	PBUS_NADV	–
PF14	I2S1_DIN	DSPK0	DMIC_D0	UART4_TX	GMAC1_TXD3	PBUS_NWE	–
PF15	DE_TE	DSPK1	DMIC_CLK	UART4_RX	GMAC1_TXD2	PBUS_NOE	–
PU0	USB0_DM	–	UART0_RX	UART1_RX	–	–	–
PU1	USB0_DP	–	UART0_TX	UART1_TX	–	–	–
PU2	USB1_DM	–	UART0_RX	UART2_RX	–	–	–
PU3	USB1_DP	–	UART0_TX	UART2_TX	–	–	–

2.1.1. D211Bx 封装引脚说明

表 2-1 D211BB (Sip DDR2)/ D211BC (Sip DDR3) QFN88 封装引脚说明

引脚	定义	类型	功能	备注说明
RTC				
1	RTC_IO	OD	RTC 唤醒 32K 时钟输出	OD 输出，外部需上拉电阻，上拉电压不能超过 5 V。

表 2-1 D211BB (Sip DDR2)/ D211BC (Sip DDR3) QFN88 封装引脚说明 (续)

引脚	定义	类型	功能	备注说明
2	RTC_VCOIN	POWER	-	不考虑掉电保持可悬空，内部有二极管从 3.3 V 取电，外挂供电需接 RC 延迟上电 (10 K Ω /0.1 μ F)。
3	RTC_XO	OUTPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。
4	RTC_XI	INPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。
SYSTEM				
75	RESETN	INPUT	系统复位	内置约 30 K Ω 上拉电阻和去抖滤波，不使用可直接悬空，若外挂电容建议不超过 4.7 μ F。
76	PLL_XO	OUTPUT	-	接 24 MHz 无源晶振。
77	PLL_XI	INPUT	-	接 24 MHz 无源晶振。
POWER				
58, 80	VCC33_IO0	POWER	芯片 IO 电压	3.3 V 供电。
7, 40	VCC33_IO1	POWER	芯片 IO 电压	3.3 V 供电。
81	VCC30_ANA	POWER	内置 LDO 输出	内部模拟模块使用，外部接 1 μ F 旁路电容。
42	LDO25	POWER	内置 LDO 输出	内部模块使用，外部接 1 μ F 旁路电容。
41	LDO1x	POWER	内置 LDO 输出	可配置，外部接 1 μ F 电容，若使用需做好芯片散热。
43, 45, 46	VCC_DRAM	POWER	DRAM 电压	DDR2 1.8 V 供电。DDR3 1.5 V 供电。
20, 44, 53, 73, 74	VDD11_SYS	POWER	芯片 Core 电压	1.2 V 供电 @600 Mhz, 1.1 V 供电 @504 Mhz。
89	GND	POWER	-	GND 铜皮全连接，需多加过孔散热。

表 2-2 D211BB (Sip DDR2) / D211BC (Sip DDR3) QFN88 封装功能复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
GPIO A								
82	PA0	GPADC0	0	I2C0_SCL	UART0_TX	AMIC_IN	IR_TX	-
83	PA1	GPADC1	1	I2C0_SDA	UART0_RX	AMIC_BIAS	IR_RX	-
84	PA7	GPADC7	7	I2C1_SDA	UART1_CTS	-	-	-

表 2-2 D211BB (Sip DDR2) / D211BC (Sip DDR3) QFN88 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
85	PA8	RTP_XP	8	I2C2_SCL	UART2_TX	JTAG_DO	-	-
86	PA9	RTP_YP	9	I2C2_SDA	UART2_RX	JTAG_DI	-	-
87	PA10	RTP_XN	10	I2C3_SCL	UART2_RTS	JTAG_MS	-	-
88	PA11	RTP_YN	11	I2C3_SDA	UART2_CTS	JTAG_CK	-	-
GPIO B								
47	PB0	SDC0_CMD	SPI0_HOLD	I2C1_SCL	UART7_TX	-	-	-
48	PB1	SDC0_CLK	SPI0_WP	I2C1_SDA	UART7_RX	-	-	-
49	PB2	SDC0_D3	SPI0_CS	-	-	-	-	-
50	PB3	SDC0_D0	SPI0_MISO	-	-	-	-	-
51	PB4	SDC0_D1	SPI0_MOSI	-	-	-	-	-
52	PB5	SDC0_D2	SPI0_CLK	-	-	-	-	-
GPIO C								
33	PC0	SDC1_D1	LCD_D5	SPI2_CLK	UART1_TX	JTAG_MS	PWM0_A	-
34	PC1	SDC1_D0	LCD_D4	SPI2_CS	UART1_RX	JTAG_DI	PWM0_B	-
35	PC2	SDC1_CLK	LCD_D3	SPI2_MOSI	UART1_RTS	UART0_TX	PWM1_A	-
36	PC3	SDC1_CMD	LCD_D2	SPI2_MISO	UART2_TX	JTAG_DO	PWM1_B	-
37	PC4	SDC1_D3	LCD_D1	-	UART2_RX	UART0_RX	PWM2_A	-
38	PC5	SDC1_D2	LCD_D0	UART2_RTS	UART3_TX	JTAG_CK	PWM2_B	-
39	PC6	SDC1_DET	CLK_OUT0	DE_TE	UART3_RX	-	PWM3_A	-
GPIO D								
32	PD6	LCD_D6	SPI3_MISO	I2C0_SCL	UART1_TX	-	-	-
31	PD7	LCD_D7	SPI2_MISO	I2C0_SDA	UART1_RX	-	-	-
30	PD8	LCD_D8	LVDS1_D0N	SPI1_HOLD	UART2_TX	-	EPWM0_A	-
29	PD9	LCD_D9	LVDS1_D0P	SPI1_WP	UART2_RX	-	EPWM0_B	-
28	PD10	LCD_D10	LVDS1_D1N	SPI1_CS	UART3_TX	-	EPWM1_A	-
27	PD11	LCD_D11	LVDS1_D1P	SPI1_MISO	UART3_RX	-	EPWM1_B	-
26	PD12	LCD_D12	LVDS1_D2N	SPI1_MOSI	UART4_TX	-	EPWM2_A	-
25	PD13	LCD_D13	LVDS1_D2P	SPI1_CLK	UART4_RX	-	EPWM2_B	-

表 2-2 D211BB (Sip DDR2) / D211BC (Sip DDR3) QFN88 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
24	PD14	LCD_D14	LVDS1_CKN	SPI3_CLK	CAP0	-	QEP0_H0	-
23	PD15	LCD_D15	LVDS1_CKP	SPI3_CS	CAP1	-	QEP0_H1	-
22	PD16	LCD_D16	LVDS1_D3N	SPI3_MOSI	CAP2	-	QEP0_H2	-
21	PD17	LCD_D17	LVDS1_D3P	SPI3_MISO	-	-	QEP0_A	-
19	PD18	LCD_D18	LVDS0_D0N	DSI_D0N	I2C1_SCL	-	QEP0_B	-
18	PD19	LCD_D19	LVDS0_D0P	DSI_D0P	I2C1_SDA	-	QEP0_I	-
17	PD20	LCD_D20	LVDS0_D1N	DSI_D1N	UART7_TX	-	QEP0_S	-
16	PD21	LCD_D21	LVDS0_D1P	DSI_D1P	UART7_RX	CLK_OUT0	-	-
15	PD22	LCD_D22	LVDS0_D2N	DSI_CKN	I2C3_SCL	UART6_TX	-	-
14	PD23	LCD_D23	LVDS0_D2P	DSI_CKP	I2C3_SDA	UART6_RX	-	-
13	PD24	LCD_DCLK	LVDS0_CKN	DSI_D2N	UART5_TX	SPI1_CLK	-	-
12	PD25	LCD_HS	LVDS0_CKP	DSI_D2P	UART5_RX	SPI1_CS	-	-
11	PD26	LCD_VS	LVDS0_D3N	DSI_D3N	PWM3_A	SPI1_MOSI	-	-
10	PD27	LCD_DE	LVDS0_D3P	DSI_D3P	PWM3_B	SPI1_MISO	-	RTC_32K
GPIO E								
54	PE0	-	DVP_D0	I2C0_SCL	-	EMAC0_RXD1	EPWM3_A	PWM0_A
55	PE1	-	DVP_D1	I2C0_SDA	-	EMAC0_RXD0	EPWM3_B	PWM0_B
56	PE2	-	DVP_D2	CAN0_TX	UART4_TX	EMAC0_CRS_DV	EPWM4_A	PWM1_A
57	PE3	-	DVP_D3	CAN0_RX	UART4_RX	EMAC0_REFCLK	EPWM4_B	PWM1_B
59	PE4	-	DVP_D4	CAN1_TX	UART5_TX	EMAC0_TXD1	EPWM5_A	PWM2_A
60	PE5	-	DVP_D5	CAN1_RX	UART5_RX	EMAC0_TXD0	EPWM5_B	PWM2_B
61	PE6	DSPK0	DVP_D6	UART5_RTS	UART6_TX	EMAC0_TXC	QEP1_H0	CAP0
62	PE7	DSPK1	DVP_D7	UART7_RTS	UART6_RX	EMAC0_TXEN	QEP1_H1	CAP1
63	PE8	I2S0_MCLK	DVP_CK	UART6_RTS	UART7_TX	EMAC0_MDC	QEP1_H2	CAP2
64	PE9	I2S0_BCLK	DVP_HS	UART6_CTS	UART7_RX	EMAC0_MDIO	QEP1_A	-
65	PE10	I2S0_LRCK	DVP_VS	DSPK0	-	CLK_OUT2	QEP1_B	-
66	PE11	I2S0_DOUT	I2S0_DIN	DSPK1	CLK_OUT1	-	QEP1_I	-
67	PE14	-	SPI3_MOSI	-	UART3_TX	-	CAP1	-

表 2-2 D211BB (Sip DDR2) / D211BC (Sip DDR3) QFN88 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
68	PE15	-	SPI3_MISO	-	UART3_RX	-	CAP2	-
69	PE16	-	SPI0_CLK	CAN0_TX	I2C3_SCL	-	-	-
70	PE17	-	SPI0_CS	CAN0_RX	I2C3_SDA	-	-	-
71	PE18	-	SPI0_MOSI	CAN1_TX	PWM3_A	-	-	-
72	PE19	-	SPI0_MISO	CAN1_RX	PWM3_B	-	-	-
GPIO F								
5	PF0	SDC2_D1	SPI2_CLK	-	UART5_TX	-	-	-
6	PF1	SDC2_D0	SPI2_CS	-	UART5_RX	-	-	-
8	PF14	I2S1_DIN	DSPK0	DMIC_D0	UART4_TX	-	-	-
9	PF15	DE_TE	DSPK1	DMIC_CLK	UART4_RX	-	-	-
USB								
78	PU0	USB0_DM	-	UART0_RX	UART1_RX	-	-	-
79	PU1	USB0_DP	-	UART0_TX	UART1_TX	-	-	-

2.1.2. D211Dx 封装引脚说明

表 2-3 D211DB (Sip DDR2) / D211DC (Sip DDR3) QFN100 封装引脚说明

引脚	定义	类型	功能	备注说明
RTC				
74	RTC_IO	OD	RTC 唤醒 32K 时钟输出	OD 输出，外部需上拉电阻，上拉电压不能超过 5 V。
75	RTC_VCOIN	POWER	-	不考虑掉电保持可悬空，内部有二极管从 3.3 V 取电，外挂供电需接 RC 延迟上电 (10 K Ω /0.1 μ F)。
76	RTC_XO	OUTPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。
77	RTC_XI	INPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。
SYSTEM				

表 2-3 D211DB (Sip DDR2)/ D211DC (Sip DDR3) QFN100 封装引脚说明 (续)

引脚	定义	类型	功能	备注说明
58	RESETN	INPUT	系统复位	内置约 30 K Ω 上拉电阻和去抖滤波, 不使用可直接悬空, 若外挂电容建议不超过 4.7 μ F。
59	PLL_XO	OUTPUT	-	接 24 MHz 无源晶振。
60	PLL_XI	INPUT	-	接 24 MHz 无源晶振。
POWER				
41, 65	VCC33_I00	POWER	芯片 IO 电压	3.3 V 供电。
21, 88	VCC33_I01	POWER	芯片 IO 电压	3.3 V 供电。
66	VCC30_ANA	POWER	内置 LDO 输出	内部模拟模块使用, 外部接 1 μ F 旁路电容。
23	LDO25	POWER	内置 LDO 输出	内部模块使用, 外部接 1 μ F 旁路电容。
22	LDO1x	POWER	内置 LDO 输出	可配置, 外部接 1 μ F 电容, 若使用需做好芯片散热。
24, 26, 27, 29	VCC_DRAM	POWER	DRAM 电压	DDR2 1.8 V 供电。DDR3 1.5 V 供电。
1, 25, 28, 36, 56, 57	VDD11_SYS	POWER	芯片 Core 电压	1.2 V 供电@600 Mhz, 1.1 V 供电@504 Mhz。
101	GND	POWER	-	GND 铜皮全连接, 需多加过孔散热。

表 2-4 D211DB (Sip DDR2) / D211DC(Sip DDR3) QFN100 封装功能复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
GPIO A								
67	PA0	GPADC0	0	I2C0_SCL	UART0_TX	AMIC_IN	IR_TX	-
68	PA1	GPADC1	1	I2C0_SDA	UART0_RX	AMIC_BIAS	IR_RX	-
69	PA7	GPADC7	7	I2C1_SDA	UART1_CTS	-	-	-
70	PA8	RTP_XP	8	I2C2_SCL	UART2_TX	JTAG_DO	-	-
71	PA9	RTP_YP	9	I2C2_SDA	UART2_RX	JTAG_DI	-	-
72	PA10	RTP_XN	10	I2C3_SCL	UART2_RTS	JTAG_MS	-	-
73	PA11	RTP_YN	11	I2C3_SDA	UART2_CTS	JTAG_CK	-	-
GPIO B								
30	PB0	SDC0_CMD	SPI0_HOLD	I2C1_SCL	UART7_TX	-	-	-

表 2-4 D211DB (Sip DDR2) / D211DC(Sip DDR3) QFN100 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
31	PB1	SDC0_CLK	SPI0_WP	I2C1_SDA	UART7_RX	-	-	-
32	PB2	SDC0_D3	SPI0_CS	-	-	-	-	-
33	PB3	SDC0_D0	SPI0_MISO	-	-	-	-	-
34	PB4	SDC0_D1	SPI0_MOSI	-	-	-	-	-
35	PB5	SDC0_D2	SPI0_CLK	-	-	-	-	-
GPIO C								
14	PC0	SDC1_D1	LCD_D5	SPI2_CLK	UART1_TX	JTAG_MS	PWM0_A	-
15	PC1	SDC1_D0	LCD_D4	SPI2_CS	UART1_RX	JTAG_DI	PWM0_B	-
16	PC2	SDC1_CLK	LCD_D3	SPI2_MOSI	UART1_RTS	UART0_TX	PWM1_A	-
17	PC3	SDC1_CMD	LCD_D2	SPI2_MISO	UART2_TX	JTAG_DO	PWM1_B	-
18	PC4	SDC1_D3	LCD_D1	-	UART2_RX	UART0_RX	PWM2_A	-
19	PC5	SDC1_D2	LCD_D0	UART2_RTS	UART3_TX	JTAG_CK	PWM2_B	-
20	PC6	SDC1_DET	CLK_OUT0	DE_TE	UART3_RX	-	PWM3_A	-
GPIO D								
13	PD6	LCD_D6	SPI3_MISO	I2C0_SCL	UART1_TX	PBUS_AD6	-	-
12	PD7	LCD_D7	SPI2_MISO	I2C0_SDA	UART1_RX	PBUS_AD7	-	-
11	PD8	LCD_D8	LVDS1_D0N	SPI1_HOLD	UART2_TX	PBUS_AD8	EPWM0_A	-
10	PD9	LCD_D9	LVDS1_D0P	SPI1_WP	UART2_RX	PBUS_AD9	EPWM0_B	-
9	PD10	LCD_D10	LVDS1_D1N	SPI1_CS	UART3_TX	PBUS_AD10	EPWM1_A	-
8	PD11	LCD_D11	LVDS1_D1P	SPI1_MISO	UART3_RX	PBUS_AD11	EPWM1_B	-
7	PD12	LCD_D12	LVDS1_D2N	SPI1_MOSI	UART4_TX	PBUS_AD12	EPWM2_A	-
6	PD13	LCD_D13	LVDS1_D2P	SPI1_CLK	UART4_RX	PBUS_AD13	EPWM2_B	-
5	PD14	LCD_D14	LVDS1_CKN	SPI3_CLK	CAP0	PBUS_AD14	QEPO_H0	-
4	PD15	LCD_D15	LVDS1_CKP	SPI3_CS	CAP1	PBUS_AD15	QEPO_H1	-
3	PD16	LCD_D16	LVDS1_D3N	SPI3_MOSI	CAP2	PBUS_CLK	QEPO_H2	-
2	PD17	LCD_D17	LVDS1_D3P	SPI3_MISO	-	PBUS_NCS	QEPO_A	-
100	PD18	LCD_D18	LVDS0_D0N	DSI_D0N	I2C1_SCL	PBUS_NADV	QEPO_B	-
99	PD19	LCD_D19	LVDS0_D0P	DSI_D0P	I2C1_SDA	PBUS_NWE	QEPO_I	-

表 2-4 D211DB (Sip DDR2) / D211DC(Sip DDR3) QFN100 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
98	PD20	LCD_D20	LVDS0_D1N	DSI_D1N	UART7_TX	PBUS_NOE	QEP0_S	-
97	PD21	LCD_D21	LVDS0_D1P	DSI_D1P	UART7_RX	CLK_OUT0	-	-
96	PD22	LCD_D22	LVDS0_D2N	DSI_CKN	I2C3_SCL	UART6_TX	-	-
95	PD23	LCD_D23	LVDS0_D2P	DSI_CKP	I2C3_SDA	UART6_RX	-	-
94	PD24	LCD_DCLK	LVDS0_CKN	DSI_D2N	UART5_TX	SPI1_CLK	-	-
93	PD25	LCD_HS	LVDS0_CKP	DSI_D2P	UART5_RX	SPI1_CS	-	-
92	PD26	LCD_VS	LVDS0_D3N	DSI_D3N	PWM3_A	SPI1_MOSI	-	-
91	PD27	LCD_DE	LVDS0_D3P	DSI_D3P	PWM3_B	SPI1_MISO	-	RTC_32K
GPIO E								
37	PE0	-	DVP_D0	I2C0_SCL	-	EMAC0_RXD1	EPWM3_A	PWM0_A
38	PE1	-	DVP_D1	I2C0_SDA	-	EMAC0_RXD0	EPWM3_B	PWM0_B
39	PE2	-	DVP_D2	CAN0_TX	UART4_TX	EMAC0_CRS_DV	EPWM4_A	PWM1_A
40	PE3	-	DVP_D3	CAN0_RX	UART4_RX	EMAC0_REFCLK	EPWM4_B	PWM1_B
42	PE4	-	DVP_D4	CAN1_TX	UART5_TX	EMAC0_TXD1	EPWM5_A	PWM2_A
43	PE5	-	DVP_D5	CAN1_RX	UART5_RX	EMAC0_TXD0	EPWM5_B	PWM2_B
44	PE6	DSPK0	DVP_D6	UART5_RTS	UART6_TX	EMAC0_TXC	QEP1_H0	CAP0
45	PE7	DSPK1	DVP_D7	UART7_RTS	UART6_RX	EMAC0_TXEN	QEP1_H1	CAP1
46	PE8	I2S0_MCLK	DVP_CK	UART6_RTS	UART7_TX	EMAC0_MDC	QEP1_H2	CAP2
47	PE9	I2S0_BCLK	DVP_HS	UART6_CTS	UART7_RX	EMAC0_MDIO	QEP1_A	-
48	PE10	I2S0_LRCK	DVP_VS	DSPK0	-	CLK_OUT2	QEP1_B	-
49	PE11	I2S0_DOUT	I2S0_DIN	DSPK1	CLK_OUT1	-	QEP1_I	-
50	PE14	-	SPI3_MOSI	-	UART3_TX	-	CAP1	-
51	PE15	-	SPI3_MISO	-	UART3_RX	-	CAP2	-
52	PE16	-	SPI0_CLK	CAN0_TX	I2C3_SCL	-	-	-
53	PE17	-	SPI0_CS	CAN0_RX	I2C3_SDA	-	-	-
54	PE18	-	SPI0_MOSI	CAN1_TX	PWM3_A	-	-	-
55	PE19	-	SPI0_MISO	CAN1_RX	PWM3_B	-	-	-
GPIO F								

表 2-4 D211DB (Sip DDR2) / D211DC(Sip DDR3) QFN100 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
78	PF0	SDC2_D1	SPI2_CLK	-	UART5_TX	EMAC1_RXD1	PBUS_AD0	-
79	PF1	SDC2_D0	SPI2_CS	-	UART5_RX	EMAC1_RXD0	PBUS_AD1	-
80	PF2	SDC2_CLK	SPI2_MOSI	-	UART5_RTS	EMAC1_CRS_DV	PBUS_AD2	-
81	PF3	SDC2_CMD	SPI2_MISO	-	UART5_CTS	EMAC1_REFCLK	PBUS_AD3	-
82	PF4	SDC2_D3	-	-	UART6_TX	EMAC1_TXD1	PBUS_AD4	-
83	PF5	SDC2_D2	-	-	UART6_RX	EMAC1_TXD0	PBUS_AD5	-
84	PF6	-	-	-	UART7_TX	EMAC1_TXC	PBUS_AD6	-
85	PF7	-	-	-	UART7_RX	EMAC1_TXEN	PBUS_AD7	-
86	PF8	-	-	-	UART7_RTS	EMAC1_MDC	PBUS_AD8	-
87	PF9	-	-	-	UART7_CTS	EMAC1_MDIO	PBUS_AD9	-
89	PF14	I2S1_DIN	DSPK0	DMIC_D0	UART4_TX	-	PBUS_NWE	-
90	PF15	DE_TE	DSPK1	DMIC_CLK	UART4_RX	-	PBUS_NOE	-
USB								
61	PU0	USB0_DM	-	UART0_RX	UART1_RX	-	-	-
62	PU1	USB0_DP	-	UART0_TX	UART1_TX	-	-	-
63	PU2	USB1_DM	-	UART0_RX	UART2_RX	-	-	-
64	PU3	USB1_DP	-	UART0_TX	UART2_TX	-	-	-

2.1.3. D213Ex 封装引脚说明

表 2-5 D213EC (Sip DDR3) QFN128 封装引脚说明

引脚	定义	类型	功能	备注说明
RTC				
97	RTC_IO	OD	RTC 唤醒 32K 时钟输出	OD 输出，外部需上拉电阻，上拉电压不能超过 5 V。
98	RTC_VCOIN	POWER	-	不考虑掉电保持可悬空，内部有二极管从 3.3V 取电，外挂供电需接 RC 延迟上电 (10 K Ω /0.1 μ F)。
99	RTC_XO	OUTPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。

表 2-5 D213EC (Sip DDR3) QFN128 封装引脚说明 (续)

引脚	定义	类型	功能	备注说明
100	RTC_XI	INPUT	-	接 32.768 KHz 无源晶振, 若不使用 RTC 功能可悬空。
SYSTEM				
76	RESETN	INPUT	系统复位	内置约 30 K Ω 上拉电阻和去抖滤波, 不使用可直接悬空, 若外挂电容建议不超过 4.7 μ F。
77	PLL_XO	OUTPUT	-	接 24 MHz 无源晶振。
78	PLL_XI	INPUT	-	接 24 MHz 无源晶振。
POWER				
41, 57, 83	VCC33_I00	POWER	芯片 IO 电压	3.3 V 供电。
27, 114	VCC33_I01	POWER	芯片 IO 电压	3.3 V 供电。
84	VCC30_ANA	POWER	内置 LDO 输出	内部模拟模块使用, 外部接 1 μ F 旁路电容。
29	LDO25	POWER	内置 LDO 输出	内部模块使用, 外部接 1 μ F 旁路电容。
28	LDO1x	POWER	内置 LDO 输出	可配置, 外部接 1 μ F 电容, 若使用需做好芯片散热。
30, 32, 33, 35, 36	VCC_DRAM	POWER	DRAM 电压	DDR2 1.8 V 供电。DDR3 1.5 V 供电。
31, 34, 44, 74, 75, 128	VDD11_SYS	POWER	芯片 Core 电压	1.2 V 供电@600 Mhz, 1.1 V 供电@504 Mhz。
129	GND	POWER	-	GND 铜皮全连接, 需多加过孔散热。
50, 56	NC	-	-	浮空, 不能接任何信号。

表 2-6 D213EC (Sip DDR3) QFN128 封装功能复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
GPIO A								
85	PA0	GPADC0	0	I2C0_SCL	UART0_TX	AMIC_IN	IR_TX	-
86	PA1	GPADC1	1	I2C0_SDA	UART0_RX	AMIC_BIAS	IR_RX	-
87	PA2	GPADC2	2	-	UART0_RTS	-	-	-
88	PA3	GPADC3	3	-	UART0_CTS	-	-	-
89	PA4	GPADC4	4	-	UART1_TX	-	-	-

表 2-6 D213EC (Sip DDR3) QFN128 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
90	PA5	GPADC5	5	-	UART1_RX	-	-	-
91	PA6	GPADC6	6	I2C1_SCL	UART1_RTS	-	-	-
92	PA7	GPADC7	7	I2C1_SDA	UART1_CTS	-	-	-
93	PA8	RTP_XP	8	I2C2_SCL	UART2_TX	JTAG_DO	-	-
94	PA9	RTP_YP	9	I2C2_SDA	UART2_RX	JTAG_DI	-	-
95	PA10	RTP_XN	10	I2C3_SCL	UART2_RTS	JTAG_MS	-	-
96	PA11	RTP_YN	11	I2C3_SDA	UART2_CTS	JTAG_CK	-	-
GPIO B								
37	PB0	SDC0_CMD	SPI0_HOLD	I2C1_SCL	UART7_TX	-	-	-
38	PB1	SDC0_CLK	SPI0_WP	I2C1_SDA	UART7_RX	-	-	-
39	PB2	SDC0_D3	SPI0_CS	-	-	-	-	-
40	PB3	SDC0_D0	SPI0_MISO	-	-	-	-	-
42	PB4	SDC0_D1	SPI0_MOSI	-	-	-	-	-
43	PB5	SDC0_D2	SPI0_CLK	-	-	-	-	-
45	PB6	SDC0_D4	SPI1_HOLD	I2C2_SCL	UART4_TX	-	CLK_OUT2	-
46	PB7	SDC0_D5	SPI1_WP	I2C2_SDA	UART4_RX	-	-	-
47	PB8	SDC0_D6	SPI1_CS	UART4_RTS	UART5_TX	-	IR_RX	-
48	PB9	SDC0_D7	SPI1_MISO	UART6_RTS	UART5_RX	-	IR_TX	-
49	PB10	SDC0_DS	SPI1_MOSI	-	UART6_TX	-	-	-
51	PB11	SDC0_RST	SPI1_CLK	-	UART6_RX	-	-	-
GPIO C								
19	PC0	SDC1_D1	LCD_D5	SPI2_CLK	UART1_TX	JTAG_MS	PWM0_A	-
20	PC1	SDC1_D0	LCD_D4	SPI2_CS	UART1_RX	JTAG_DI	PWM0_B	-
21	PC2	SDC1_CLK	LCD_D3	SPI2_MOSI	UART1_RTS	UART0_TX	PWM1_A	-
22	PC3	SDC1_CMD	LCD_D2	SPI2_MISO	UART2_TX	JTAG_DO	PWM1_B	-
23	PC4	SDC1_D3	LCD_D1	-	UART2_RX	UART0_RX	PWM2_A	-
24	PC5	SDC1_D2	LCD_D0	UART2_RTS	UART3_TX	JTAG_CK	PWM2_B	-
25	PC6	SDC1_DET	CLK_OUT0	DE_TE	UART3_RX	-	PWM3_A	-

表 2-6 D213EC (Sip DDR3) QFN128 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
26	PC7	-	-	-	UART3_RTS	-	PWM3_B	-
GPIO D								
18	PD0	LCD_D0	SPI2_CLK	-	-	PBUS_AD0	PWM0_A	-
17	PD1	LCD_D1	SPI2_CS	-	-	PBUS_AD1	PWM0_B	-
16	PD2	LCD_D2	SPI2_MOSI	DE_TE	-	PBUS_AD2	PWM1_A	-
15	PD3	LCD_D3	SPI3_CLK	-	-	PBUS_AD3	PWM1_B	-
14	PD4	LCD_D4	SPI3_CS	-	-	PBUS_AD4	PWM2_A	-
13	PD5	LCD_D5	SPI3_MOSI	-	-	PBUS_AD5	PWM2_B	-
12	PD6	LCD_D6	SPI3_MISO	I2C0_SCL	UART1_TX	PBUS_AD6	-	-
11	PD7	LCD_D7	SPI2_MISO	I2C0_SDA	UART1_RX	PBUS_AD7	-	-
10	PD8	LCD_D8	LVDS1_D0N	SPI1_HOLD	UART2_TX	PBUS_AD8	EPWM0_A	-
9	PD9	LCD_D9	LVDS1_D0P	SPI1_WP	UART2_RX	PBUS_AD9	EPWM0_B	-
8	PD10	LCD_D10	LVDS1_D1N	SPI1_CS	UART3_TX	PBUS_AD10	EPWM1_A	-
7	PD11	LCD_D11	LVDS1_D1P	SPI1_MISO	UART3_RX	PBUS_AD11	EPWM1_B	-
6	PD12	LCD_D12	LVDS1_D2N	SPI1_MOSI	UART4_TX	PBUS_AD12	EPWM2_A	-
5	PD13	LCD_D13	LVDS1_D2P	SPI1_CLK	UART4_RX	PBUS_AD13	EPWM2_B	-
4	PD14	LCD_D14	LVDS1_CKN	SPI3_CLK	CAP0	PBUS_AD14	QEP0_H0	-
3	PD15	LCD_D15	LVDS1_CKP	SPI3_CS	CAP1	PBUS_AD15	QEP0_H1	-
2	PD16	LCD_D16	LVDS1_D3N	SPI3_MOSI	CAP2	PBUS_CLK	QEP0_H2	-
1	PD17	LCD_D17	LVDS1_D3P	SPI3_MISO	-	PBUS_NCS	QEP0_A	-
127	PD18	LCD_D18	LVDS0_D0N	DSI_D0N	I2C1_SCL	PBUS_NADV	QEP0_B	-
126	PD19	LCD_D19	LVDS0_D0P	DSI_D0P	I2C1_SDA	PBUS_NWE	QEP0_I	-
125	PD20	LCD_D20	LVDS0_D1N	DSI_D1N	UART7_TX	PBUS_NOE	QEP0_S	-
124	PD21	LCD_D21	LVDS0_D1P	DSI_D1P	UART7_RX	CLK_OUT0	-	-
123	PD22	LCD_D22	LVDS0_D2N	DSI_CKN	I2C3_SCL	UART6_TX	-	-
122	PD23	LCD_D23	LVDS0_D2P	DSI_CKP	I2C3_SDA	UART6_RX	-	-
121	PD24	LCD_DCLK	LVDS0_CKN	DSI_D2N	UART5_TX	SPI1_CLK	-	-
120	PD25	LCD_HS	LVDS0_CKP	DSI_D2P	UART5_RX	SPI1_CS	-	-

表 2-6 D213EC (Sip DDR3) QFN128 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
119	PD26	LCD_VS	LVDS0_D3N	DSI_D3N	PWM3_A	SPI1_MOSI	-	-
118	PD27	LCD_DE	LVDS0_D3P	DSI_D3P	PWM3_B	SPI1_MISO	-	RTC_32K
GPIO E								
52	PE0	-	DVP_D0	I2C0_SCL	-	GMAC0_RXD1	EPWM3_A	PWM0_A
53	PE1	-	DVP_D1	I2C0_SDA	-	GMAC0_RXD0	EPWM3_B	PWM0_B
54	PE2	-	DVP_D2	CAN0_TX	UART4_TX	GMAC0_RXCTL	EPWM4_A	PWM1_A
55	PE3	-	DVP_D3	CAN0_RX	UART4_RX	GMAC0_CLKIN	EPWM4_B	PWM1_B
58	PE4	-	DVP_D4	CAN1_TX	UART5_TX	GMAC0_TXD1	EPWM5_A	PWM2_A
59	PE5	-	DVP_D5	CAN1_RX	UART5_RX	GMAC0_TXD0	EPWM5_B	PWM2_B
60	PE6	DSPK0	DVP_D6	UART5_RTS	UART6_TX	GMAC0_TXCK	QEP1_H0	CAP0
61	PE7	DSPK1	DVP_D7	UART7_RTS	UART6_RX	GMAC0_TXCTL	QEP1_H1	CAP1
62	PE8	I2S0_MCLK	DVP_CK	UART6_RTS	UART7_TX	GMAC0_MDC	QEP1_H2	CAP2
63	PE9	I2S0_BCLK	DVP_HS	UART6_CTS	UART7_RX	GMAC0_MDIO	QEP1_A	-
64	PE10	I2S0_LRCK	DVP_VS	DSPK0	-	CLK_OUT2	QEP1_B	-
65	PE11	I2S0_DOUT	I2S0_DIN	DSPK1	CLK_OUT1	GMAC0_RXD3	QEP1_I	-
66	PE12	I2S0_DIN	SPI3_CLK	DMIC_CLK	I2C2_SCL	GMAC0_RXD2	QEP1_S	-
67	PE13	-	SPI3_CS	DMIC_D0	I2C2_SDA	GMAC0_RXCK	CAP0	-
68	PE14	-	SPI3_MOSI	-	UART3_TX	GMAC0_TXD3	CAP1	-
69	PE15	-	SPI3_MISO	-	UART3_RX	GMAC0_TXD2	CAP2	-
70	PE16	-	SPI0_CLK	CAN0_TX	I2C3_SCL	GMAC0_TRIG	-	-
71	PE17	-	SPI0_CS	CAN0_RX	I2C3_SDA	GMAC0_PPSO	-	-
72	PE18	-	SPI0_MOSI	CAN1_TX	PWM3_A	GMAC1_TRIG	-	-
73	PE19	-	SPI0_MISO	CAN1_RX	PWM3_B	GMAC1_PPSO	-	-
GPIO F								
101	PF0	SDC2_D1	SPI2_CLK	-	UART5_TX	GMAC1_RXD1	PBUS_AD0	-
102	PF1	SDC2_D0	SPI2_CS	-	UART5_RX	GMAC1_RXD0	PBUS_AD1	-
103	PF2	SDC2_CLK	SPI2_MOSI	-	UART5_RTS	GMAC1_RXCTL	PBUS_AD2	-
104	PF3	SDC2_CMD	SPI2_MISO	-	UART5_CTS	GMAC1_CLKIN	PBUS_AD3	-

表 2-6 D213EC (Sip DDR3) QFN128 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
105	PF4	SDC2_D3	-	-	UART6_TX	GMAC1_TXD1	PBUS_AD4	-
106	PF5	SDC2_D2	-	-	UART6_RX	GMAC1_TXD0	PBUS_AD5	-
107	PF6	-	-	-	UART7_TX	GMAC1_TXCK	PBUS_AD6	-
108	PF7	-	-	-	UART7_RX	GMAC1_TXCTL	PBUS_AD7	-
109	PF8	-	-	-	UART7_RTS	GMAC1_MDC	PBUS_AD8	-
110	PF9	-	-	-	UART7_CTS	GMAC1_MDIO	PBUS_AD9	-
111	PF10	I2S1_MCLK	I2S1_DIN	-	UART3_CTS	CLK_OUT3	PBUS_AD10	-
112	PF11	I2S1_BCLK	-	PBUS_AD11	UART3_TX	GMAC1_RXD3	PBUS_CLK	-
113	PF12	I2S1_LRCK	-	UART4_RTS	UART3_RX	GMAC1_RXD2	PBUS_NCS	-
115	PF13	I2S1_DOUT	I2S1_DIN	UART4_CTS	UART3_RTS	GMAC1_RXCK	PBUS_NADV	-
116	PF14	I2S1_DIN	DSPK0	DMIC_D0	UART4_TX	GMAC1_TXD3	PBUS_NWE	-
117	PF15	DE_TE	DSPK1	DMIC_CLK	UART4_RX	GMAC1_TXD2	PBUS_NOE	-
USB								
79	PU0	USB0_DM	-	UART0_RX	UART1_RX	-	-	-
80	PU1	USB0_DP	-	UART0_TX	UART1_TX	-	-	-
81	PU2	USB1_DM	-	UART0_RX	UART2_RX	-	-	-
82	PU3	USB1_DP	-	UART0_TX	UART2_TX	-	-	-

2.2. 时钟和电源

2.2.1. POWER

- 芯片需提供 VDD11_SYS（芯片 CORE 电源：典型 1.2 V/ CPU 600 Mhz，1.1 V/ CPU 504 Mhz，平均电流不大于 250 mA，选型按 500 mA 以上）。

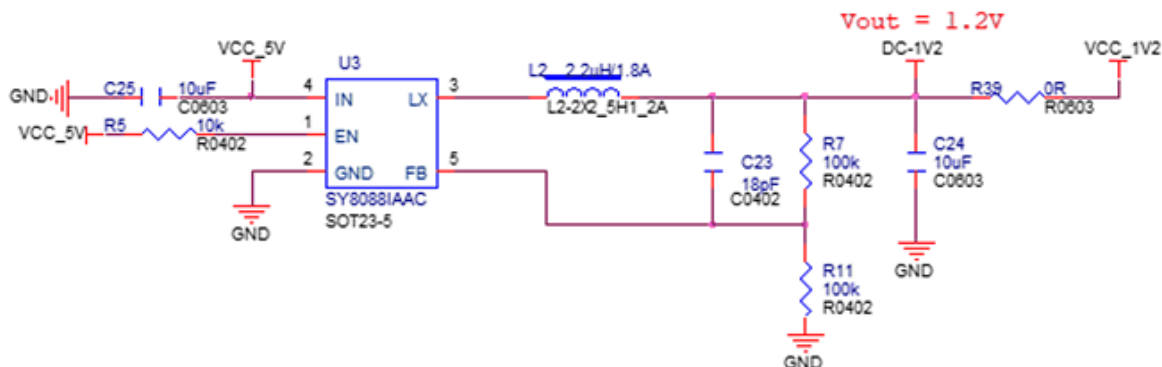


图 2-1 芯片 CORE 电源 VDD11_SYS 原理图

- 芯片需提供 VCC33_IO（芯片 IO 电源：典型 3.3V，平均电流不大于 100mA，选型按 500mA 以上）。

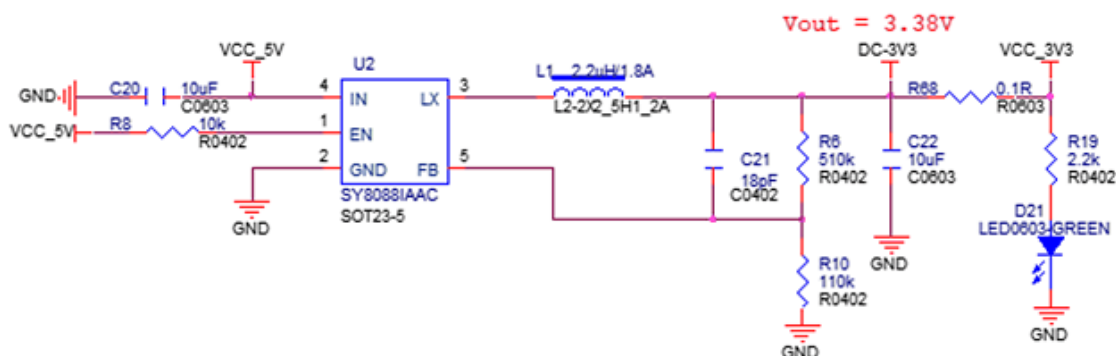
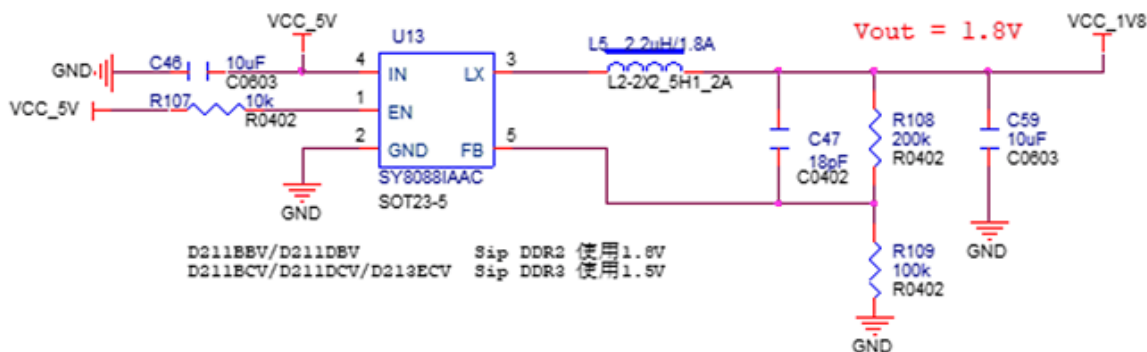


图 2-2 芯片 IO 电源 VCC33_IO 原理图

- VDDQ_DDR（DRAM 电源：DDR2@1.8 V，DDR3@1.5 V，平均电流不大于 150 mA，选型按 500 mA 以上）。

图 2-3

芯片 DRAM 电源 VCC_DRAM 原理图



- 内置 LDO1X_OUT，可配置输出 1.8 V 或 1.5 V 电源，外部接 1 μ F 电容，若使用内置 LDO，存在转换效率和发热问题，Layout 需做好散热。
- LDO25_OUT、VCC30_ANA 供内部模块使用，外部接 1 μ F 旁路电容即可。



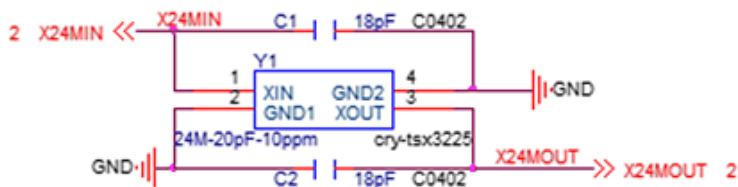
注:

- 不推荐使用内置 LDO1x_OUT 给 DDR 供电，因为这种方式转换效率较低且发热严重，可用于低功耗外设电平转换电压。
- 三路 DCDC 电源方案，7 寸屏动态场景开发板，芯片表面温度约 50° C，芯片功耗约 530 mW，芯片休眠功耗约 20 mW。
- 无上下电顺序要求，VCC33_IO 上电上升沿时间需大于 150 μ s 而小于 5 ms。

2.2.2. PLL

PLL 需外接 24MHz 晶振:

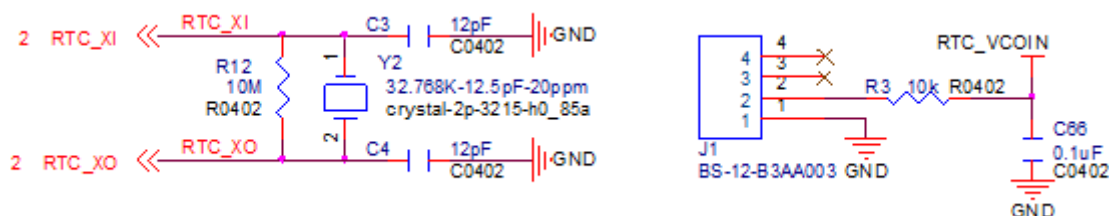
- D21x 外挂 24 MHz 晶振精度要求小于 ± 20 ppm，匹配电容根据晶体负载电容选择。
- PLL_XO 建议串联 0R 电阻，便于调试振荡幅度。



2.2.3. RTC

内置 RTC，典型工作电流约 3.3 μ A 使用 RTC 功能需外接 32.768 KHz 晶振:

- 外部 32.768 KHz 晶振精度建议小于 ± 10 ppm，匹配电容根据晶体负载电容选择。
- RTC_XI 和 RTC_XO 之间并接 10M 电阻。
- RTC_IO 为 OD 输出，使用时需要外挂上拉电阻，上拉电平不超过 5V，可用于输出 RTC 唤醒信号或输出 32.768 KHz 时钟。
- RTC_VCOIN 需串接 10 K Ω 电阻，若不考虑掉电保持，RTC_VCOIN 可悬空，内部有二极管通路从 VCC33_IO 取电，不需要外部再接 3.3 V。



2.2.4. BOOT

如何进入烧录模式：

- 存储介质空片情况下，可直接进烧录模式，使用 USB 连接电脑 Aiburn 烧录工具能识别烧录。
- 存储介质空片或者有固件情况，SDC1 TF-CARD 能在上电或复位时使用 1 数据线或 4 数据线强制进行烧录，通常用于量产及升级。
- 存储介质有固件情况下，SDK 默认使用 PA0 当做 BOOT 检测引脚，上电或复位时 BOOT 下拉低电平进入烧录模式。

如何修改 BOOT 引脚配置：

- 在 `ddr_init.json` 文件配置，路径 `target/d211/xxx/ddr_init.json`。

比如将 boot 引脚改为使用 PE12，改动说明如下：

```
upgmode_pin_cfg_reg : "0x187004b0" , //PE12, 0x18700000+0x80+G*0x100+P*0x4
upgmode_pin_cfg_val : "0x10321" , //pinmux val, 默认不变
upgmode_pin_input_reg : "0x18700400" , //input val, 0x18700000+G*0x100
upgmode_pin_input_msk : "0x1000" , //bit mask, 二进制第 12 位, 转 16 进制即 0x1000
upgmode_pin_input_val : "0x0" , //bit val, 0 为低电平检测, 若是高电平, 改为 0x1000 按位检测
upgmode_pin_pullup_dly : "500" , //检测 delay, 默认不变
```

2.2.5. RESET

RESETN 引脚内置约 30 kΩ 上拉电阻和去抖滤波，低电平复位，不使用可直接悬空，建议预留按键或跳线方便调试。

- 上电 VCC33-IO 高于 2.5V 后延迟 7ms 左右放开复位，下电 VCC33 低于 1.7V 彻底复位，RESET 下拉大于 2ms 后复位。
- 若想延迟放开复位，可外挂电容，最大建议不超过 4.7uF。
- 可使用电压监控、外部看门狗、外部 IO 进行复位控制。

2.3. 存储

2.3.1. FLASH

SPIO/1 为 QSPI 控制器，最大支持四线数据传输，用于 Flash 类型设备的快速读写访问。

- 默认使用 PB0~PB5 引脚的 SPIO 为 Flash 类型设备启动接口。
- QSPI 支持 NAND Flash / NOR Flash，支持单/双/四线模式。
- IO 最大速率 SDR 100 MHz，仅支持 3.3 V IO 电压，Flash 容量不限制。



注:

- SPI_CS、SPI_WP、SPI_HOLD 必需上拉。
- QSPI 信号除 SPI_CS 外整组必需做等长约束，约束控制在 40 mil 内，否则跑四线模式容易出现速度跑不高的情况。
- 启动阶段 BROM 有 Try 介质过程，PB0~PB5 引脚 SPI0 接口 CS/CMD/CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描。

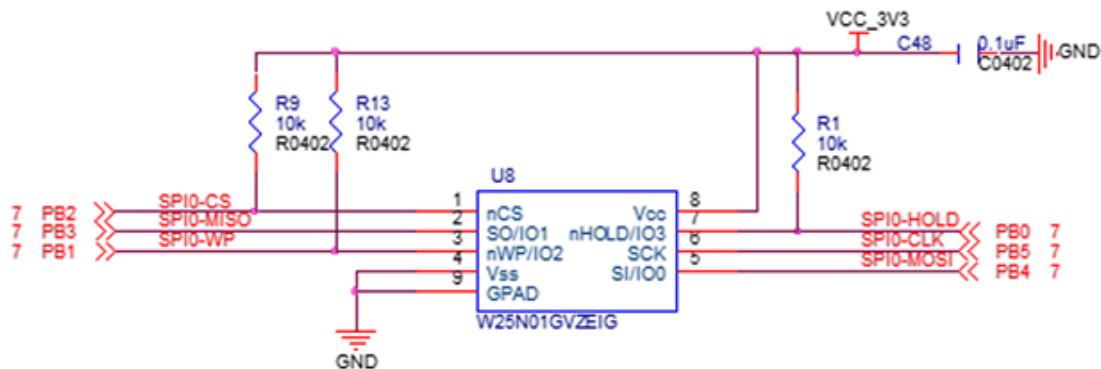


图 2-4 SPI0 NAND Flash 电路原理图

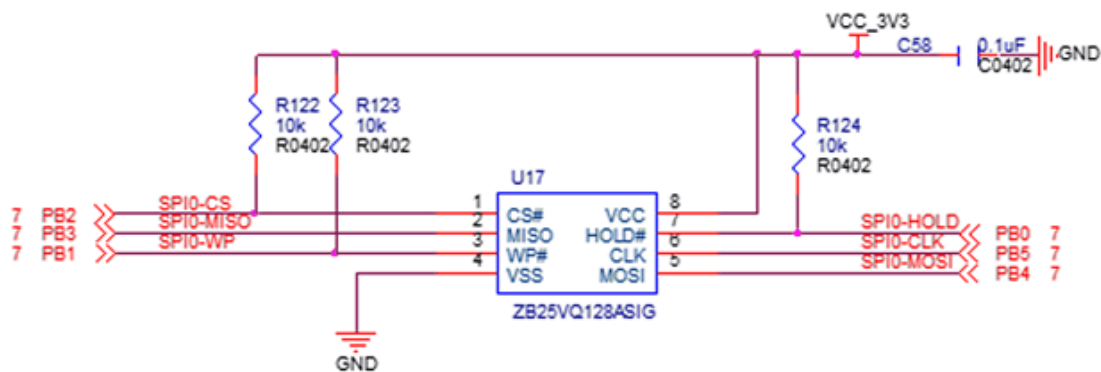


图 2-5 SPI0 NOR Flash 电路原理图

2.3.2. eMMC

使用 SDC0 接口，支持单线/四线模式，支持 eMMC 4.41 协议，支持 SDR25/SDR50/DDR50 模式。

- IO 最大速率 DDR 50 MHz，仅支持 3.3 V IO 电压。
- D0、CMD 和 RST 信号必需上拉到 VCC33_IO。



注:

- SDC0_D0~SDC0_D3、SDC0_CLK、SDC0_CMD 信号走线做等长约束，约束不大于 40 mil。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- 启动阶段 BROM 有 Try 介质过程，SDC0 接口 D0/CMD/CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描。

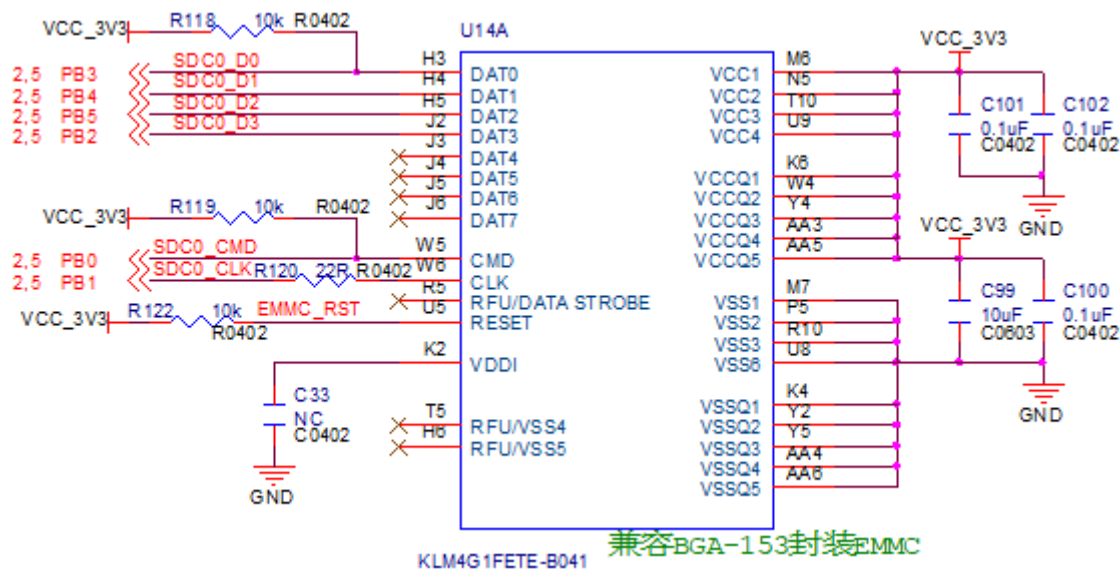


图 2-6 SDC0 eMMC 电路原理图

2.3.3. CARD

使用 SDC1 接口，支持单线/四线模式。

- IO 最大速率 DDR 50 MHz，仅支持 3.3 V IO 电压。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- D0、CMD 和 DET 信号建议上拉到 VCC33_IO。
- SD 接口信号线 TVS 管结电容 < 22 pF，否则影响信号传输质量。
- 建议保留 DET 信号线上的 1k 串联电阻，避免在插入 SD CARD 时产生信号下冲，同时提高 GPIO ESD 性能。



注:

- SDC1_D0~SDC1_D3、SDC1_CLK、SDC1_CMD 信号走线做等长约束，约束不大于 50 mil。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- 启动阶段 BROM 有 Try 介质过程，SDC1 接口 D0/CMD/CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描。

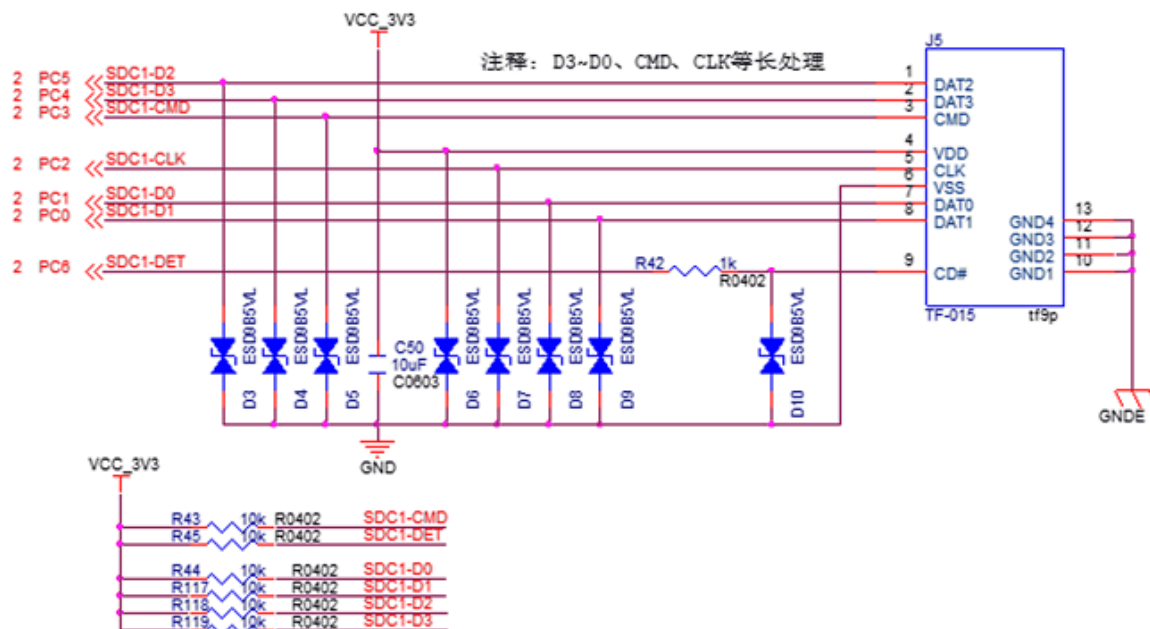


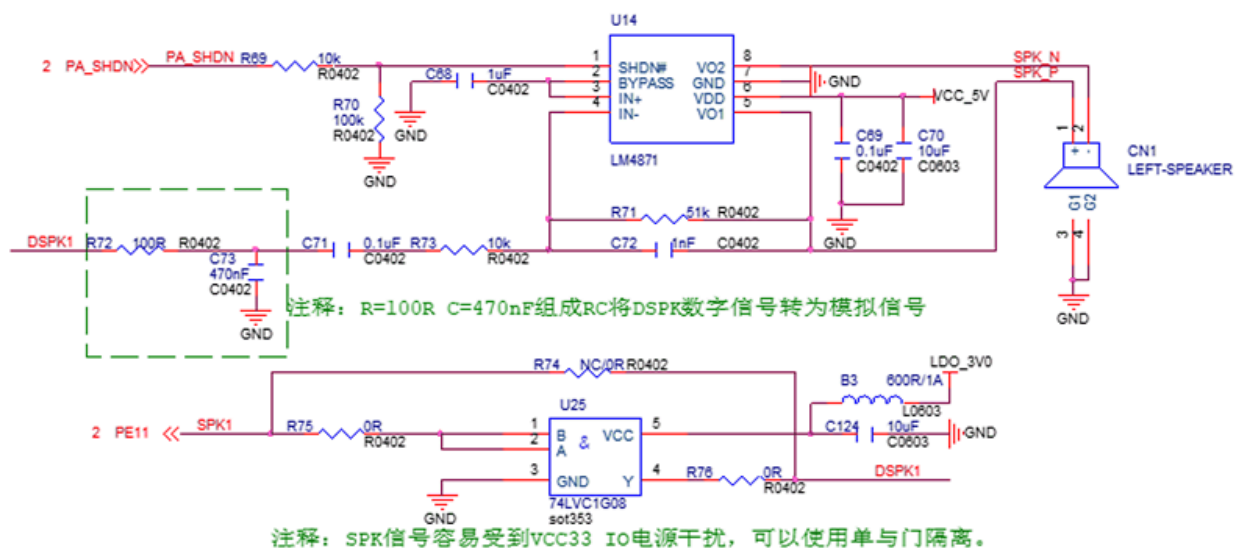
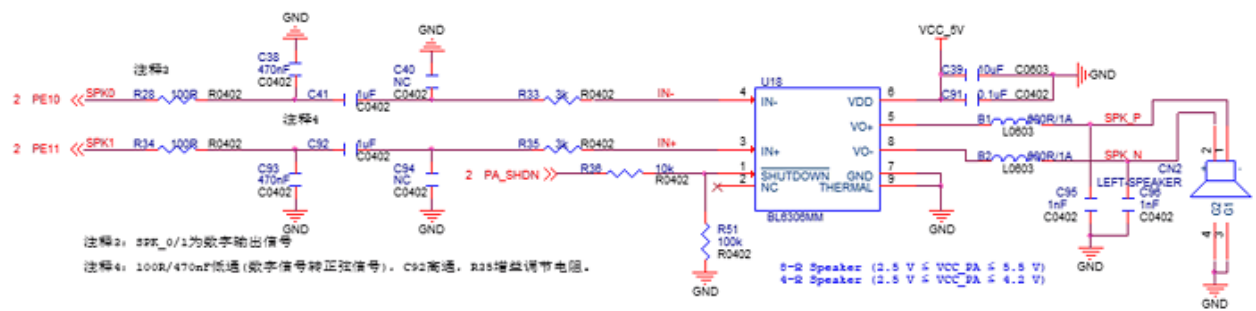
图 2-7 SDC1 CARD 电路原理图



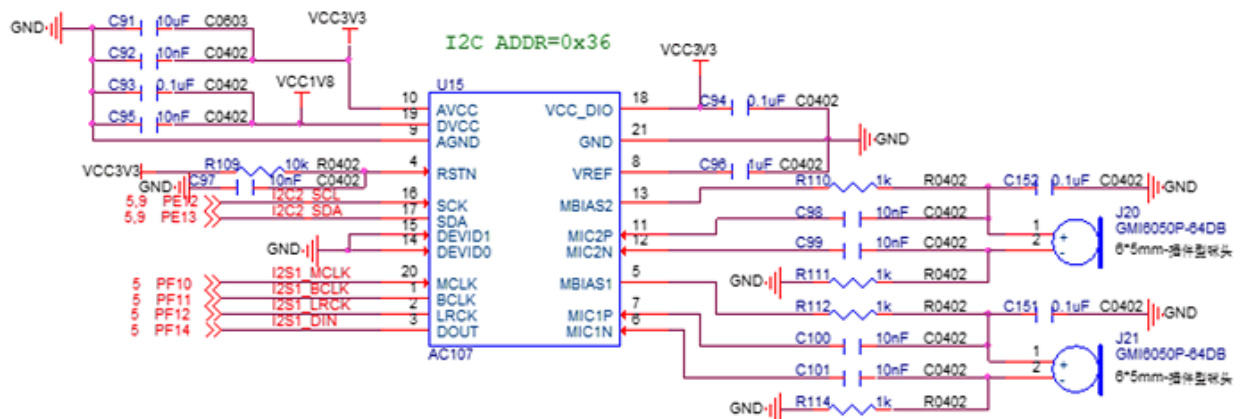
注：

- 启动优先级：TF-CARD SDC1 > NAND SPI0 > NOR SPI0 > eMMC SDC0。
- 启动阶段 BROM 有 Try 介质过程，PB0~PB5 引脚 SPI0 接口 CS/ MOSI/ CLK、SDC0/ SDC1 接口 D0/ CMD/ CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描输出波形。
- Flash 建议使用 WSON8 带 EPAD 封装，可兼容 NAND/NOR Flash。
- EMMC 建议使用 BGA153 封装，可兼容市面大部分 EMMC，不限制容量，不需要适配驱动。

2.4. 多媒体



- I2S 接口为数字音频接口，支持 I2S、PCM、TDM 模式，用于连接外部音频设备，实现音频数据的传输。



2.4.2. DVP

支持 DVP 8-bit 并行接口，最大支持 500 万像素拍照，最大支持 1920x1080@30fps 录像，支持 YUV422、BT.656 以及 RAW 格式。

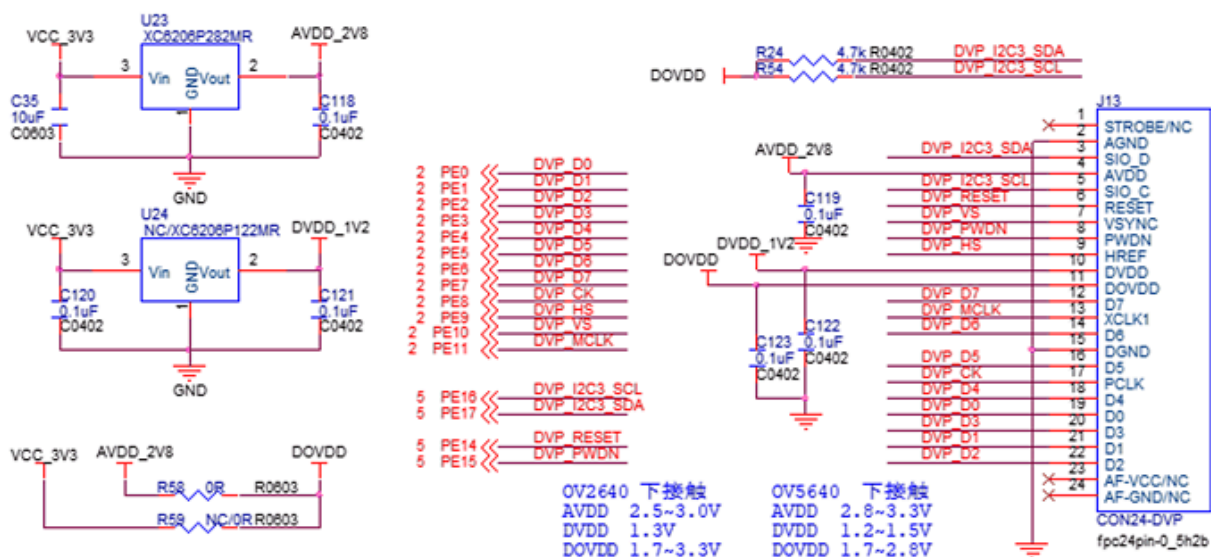


图 2-13 DVP CAMERA 原理图

2.4.3. LVDS 屏接口

LVDS 支持 Single-Link 和 Dual-Link 接法。

- 速率 240Mbps~800Mbps。
- 支持 LVDS_0 与 LVDS_1 互换。
- 支持 LVDS_0 与 LVDS_1 双屏同显。
- 支持 LVDS_D0~LVDS_D3、LVDS_CK 五组差分对信号任意互换，比如 LVDS_D2 与 LVDS_CK 互换。
- 支持 LVDS 信号极性选择模式，即差分对信号正负极性互换。



注:

- LVDS 信号是高速差分信号，差分对约束不大于 10mil，差分对 100 欧姆阻抗控制，整组信号等长约束不大于 20mil。
- 为方便 Layout，支持差分对任意互换，极性反转，软件配置上需注意修改。

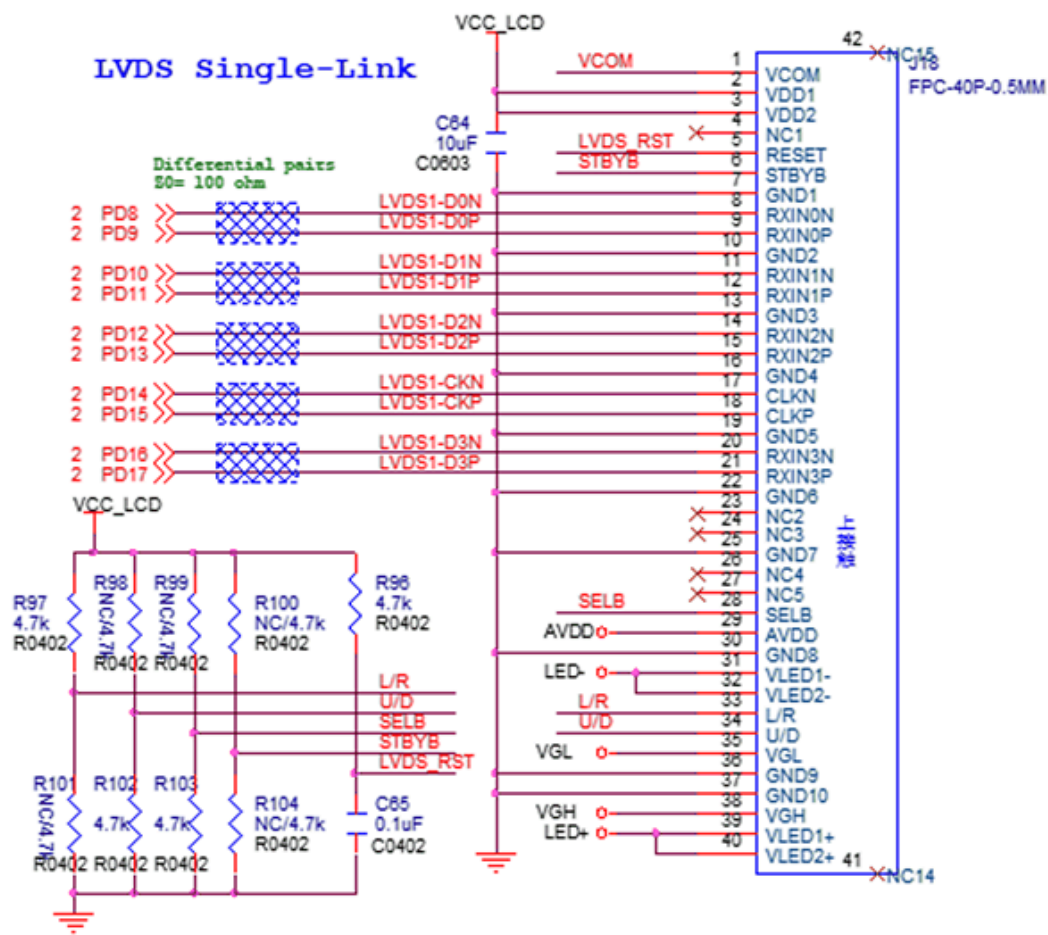


图 2-14 LVDS Single-Link 电路原理图

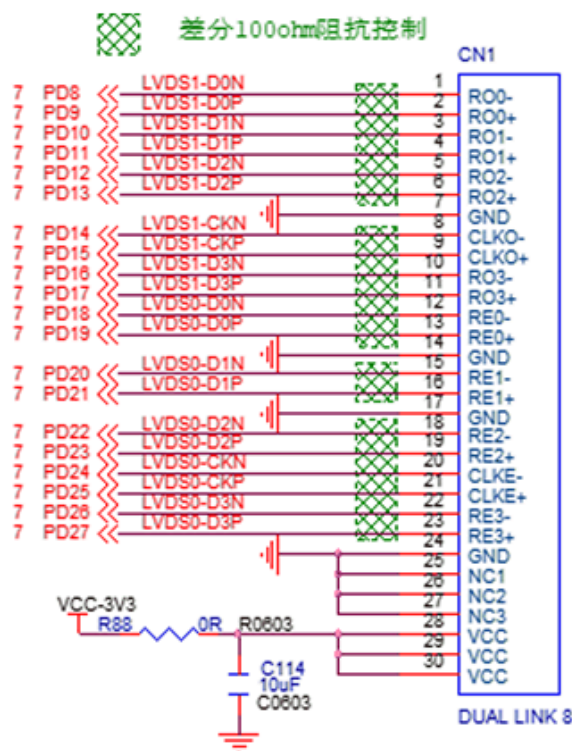


图 2-15 LVDS Dual-Link 电路原理图

2.4.4. MIPI-DSI 屏接口

MIPI DSI 是应用于显示的串行接口，实现将 DE 送过来的并行图像数据高性能转化串行输出。

- 可配置为 1/2/3/4 对数据通道。
- 支持高速模式和低速模式。
- 每对数据通道都支持高速单向通信。
- 数据通道 0 可选支持低速模式下双向通信，即可读取屏的寄存器。



注：

- MIPI CLKN/ CLKP (PD22/ PD23)必须接屏幕的 CLK 引脚。只支持 D0~D3 差分对信号任意互换。
- 支持信号极性选择模式，即所有差分对信号支持正负极性反转。
- MIPI 信号是高速差分信号，差分对约束不大于 10mil，差分对 100 欧姆阻抗控制，整组信号等长约束不大于 20 mil。

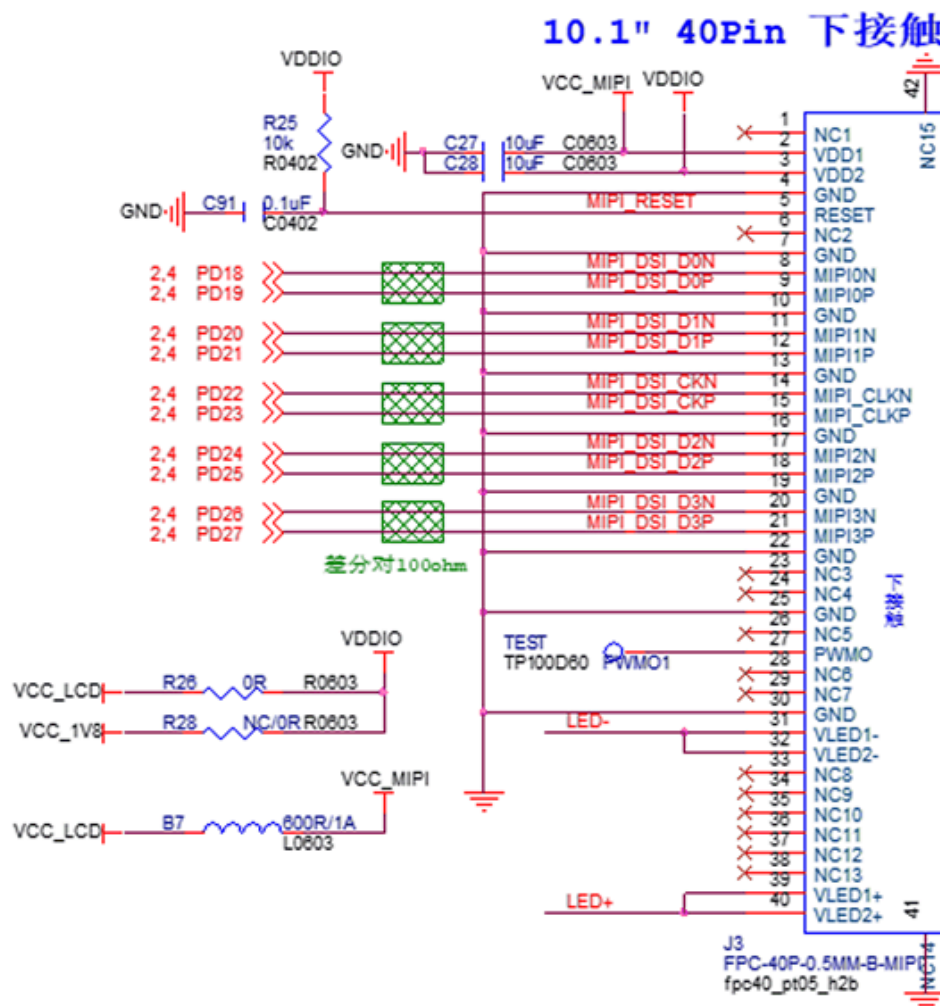


图 2-16 MIPI-DSI 电路原理图

2.4.5. MCU 屏接口

MCU 屏接口包含常见的 I8080、SPI、QSPI。

封装引脚		MAPPING	I8080						
			0	1	2	3	4	5	6
D213Ex QFN128	D211Bx QFN88	BITS/PIXEL	24	18	16	24	18	16	24
	D211Dx QFN100	CLKS/PIXEL	1	1	1	2	2	2	3
GPD_P0	GPC_P5	LCD_D0	DB0						
GPD_P1	GPC_P4	LCD_D1	DB1						
GPD_P2	GPC_P3	LCD_D2	DB2						
GPD_P3	GPC_P2	LCD_D3	DB3						
GPD_P4	GPC_P1	LCD_D4	DB4						
GPD_P5	GPC_P0	LCD_D5	DB5						
GPD_P6	GPD_P6	LCD_D6	DB6	DB0					
GPD_P7	GPD_P7	LCD_D7	DB7	DB1					
GPD_P8	GPD_P8	LCD_D8	DB8	DB2	DB0				
GPD_P9	GPD_P9	LCD_D9	DB9	DB3	DB1				
GPD_P10	GPD_P10	LCD_D10	DB10	DB4	DB2				
GPD_P11	GPD_P11	LCD_D11	DB11	DB5	DB3				
GPD_P12	GPD_P12	LCD_D12	DB12	DB6	DB4	DB0			
GPD_P13	GPD_P13	LCD_D13	DB13	DB7	DB5	DB1			
GPD_P14	GPD_P14	LCD_D14	DB14	DB8	DB6	DB2			
GPD_P15	GPD_P15	LCD_D15	DB15	DB9	DB7	DB3	DB0		
GPD_P16	GPD_P16	LCD_D16	DB16	DB10	DB8	DB4	DB1	DB0	DB0
GPD_P17	GPD_P17	LCD_D17	DB17	DB11	DB9	DB5	DB2	DB1	DB1
GPD_P18	GPD_P18	LCD_D18	DB18	DB12	DB10	DB6	DB3	DB2	DB2
GPD_P19	GPD_P19	LCD_D19	DB19	DB13	DB11	DB7	DB4	DB3	DB3
GPD_P20	GPD_P20	LCD_D20	DB20	DB14	DB12	DB8	DB5	DB4	DB4
GPD_P21	GPD_P21	LCD_D21	DB21	DB15	DB13	DB9	DB6	DB5	DB5
GPD_P22	GPD_P22	LCD_D22	DB22	DB16	DB14	DB10	DB7	DB6	DB6
GPD_P23	GPD_P23	LCD_D23	DB23	DB17	DB15	DB11	DB8	DB7	DB7
GPD_P24	GPD_P24	LCD_C0	WR	WR	WR	WR	WR	WR	WR
GPD_P25	GPD_P25	LCD_C1	RD	RD	RD	RD	RD	RD	RD
GPD_P26	GPD_P26	LCD_C2	CS	CS	CS	CS	CS	CS	CS
GPD_P27	GPD_P27	LCD_C3	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS

图 2-17 I8080 不同配置定义



注:

- SPI 屏通信接口交叉，PD21/ SDO 为输出，需接屏端 SDI 输入。PD20/ SDI 为输入，需接屏端 SDO 输出。若屏幕无 RS 信号，则 RS 引脚不需要接。
- 少部分不支持 0x3C 命令的 SPI 屏，不能使用 LCD 点屏，可以使用普通 SPI 接口点屏。

PIN NAME	MAPPING	SPI	SPI	QSPI
GPD_P20	LCD_D20	SDI	/	SDA0
GPD_P21	LCD_D21	SDO	SDA	SDA1
GPD_P22	LCD_D22	/	/	SDA2
GPD_P23	LCD_D23	/	/	SDA3
GPD_P24	LCD_DCLK	SCL	SCL	SCL
GPD_P25	LCD_HS	/	/	/
GPD_P26	LCD_VS	CS	CS	CS
GPD_P27	LCD_DE	RS	RS	RS

图 2-18 SPI/ QSPI 屏连接定义

2.4.6. RGB 屏接口

LCD 接口支持 PRGB(并行 RGB)、SRGB(串行 RGB)。

PRGB 模式兼容五种 MAPPING 输出配置，默认为 24 bits，可配置为 18 bits、16 bits，相应的低位不使用。

- 配置 0: RGB888 建议使用，支持 R/G/B 整组信号互换，支持 3 组信号同时高低位反序。
- 配置 1: RGB666 建议使用，支持 R/G/B 整组信号互换。
- 配置 2: RGB666，支持 R/G/B 整组信号互换。
- 配置 3: RGB565 建议使用，支持 R/G/B 整组信号互换。
- 配置 4: RGB565，支持 R/G/B 整组信号互换。



注：

- 只有 RGB888 支持组内信号高位到低位排序互换，需软件配置 data-mirror。
- 默认配置为 RGB 线序，为方便 Layout，可将 R 和 B 整组互换，需软件配置将 data-order 修改为 BGR。
- RGB888 接口高位可用于 RGB666 或 RGB565，芯片端相应的低位不接或可用于其它功能。
- 需要初始化的 RGB 屏幕，其控制信号 CS/SCL/SDA 可使用任意空闲 IO 进行模拟初始化。

封装引脚		MAPPING	PRGB					SRGB	
			0	1	2	3	4	0	1
D213Ex QFN128	D211Bx QFN88	BITS/PIXEL	24	18	18	16	16	24	18
	D211Dx QFN100	CLKS/PIXEL	1	1	1	1	1	3	3
GPD_P0	GPC_P5	LCD_D0	B0	B0	B2	B0	B3	LCD_D0	LCD_D2
GPD_P1	GPC_P4	LCD_D1	B1	B1	B3	B1	B4	LCD_D1	LCD_D3
GPD_P2	GPC_P3	LCD_D2	B2	G0	B4	B2	B5	LCD_D2	LCD_D4
GPD_P3	GPC_P2	LCD_D3	B3	G1	B5	G0	B6	LCD_D3	LCD_D5
GPD_P4	GPC_P1	LCD_D4	B4	R0	B6	G1	B7	LCD_D4	LCD_D6
GPD_P5	GPC_P0	LCD_D5	B5	R1	B7	R0	G2	LCD_D5	LCD_D7
GPD_P6	GPD_P6	LCD_D6	B6	B2	G2	R1	G3	LCD_D6	LCD_D0
GPD_P7	GPD_P7	LCD_D7	B7	B3	G3	R2	G4	LCD_D7	LCD_D1
GPD_P8	GPD_P8	LCD_D8	G0	B4	G4	B3	G5	LCD_D0	LCD_D2
GPD_P9	GPD_P9	LCD_D9	G1	B5	G5	B4	G6	LCD_D1	LCD_D3
GPD_P10	GPD_P10	LCD_D10	G2	B6	G6	B5	G7	LCD_D2	LCD_D4
GPD_P11	GPD_P11	LCD_D11	G3	B7	G7	B6	R3	LCD_D3	LCD_D5
GPD_P12	GPD_P12	LCD_D12	G4	G2	R2	B7	R4	LCD_D4	LCD_D6
GPD_P13	GPD_P13	LCD_D13	G5	G3	R3	G2	R5	LCD_D5	LCD_D7
GPD_P14	GPD_P14	LCD_D14	G6	G4	R4	G3	R6	LCD_D6	LCD_D0
GPD_P15	GPD_P15	LCD_D15	G7	G5	R5	G4	R7	LCD_D7	LCD_D1
GPD_P16	GPD_P16	LCD_D16	R0	G6	R6	G5	B0	LCD_D0	LCD_D2
GPD_P17	GPD_P17	LCD_D17	R1	G7	R7	G6	B1	LCD_D1	LCD_D3
GPD_P18	GPD_P18	LCD_D18	R2	R2	B0	G7	B2	LCD_D2	LCD_D4
GPD_P19	GPD_P19	LCD_D19	R3	R3	B1	R3	G0	LCD_D3	LCD_D5
GPD_P20	GPD_P20	LCD_D20	R4	R4	G0	R4	G1	LCD_D4	LCD_D6
GPD_P21	GPD_P21	LCD_D21	R5	R5	G1	R5	R0	LCD_D5	LCD_D7
GPD_P22	GPD_P22	LCD_D22	R6	R6	R0	R6	R1	LCD_D6	LCD_D0
GPD_P23	GPD_P23	LCD_D23	R7	R7	R1	R7	R2	LCD_D7	LCD_D1
GPD_P24	GPD_P24	LCD_C0	DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	DCLK
GPD_P25	GPD_P25	LCD_C1	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC
GPD_P26	GPD_P26	LCD_C2	VSNC	VSNC	VSNC	VSNC	VSNC	VSNC	VSNC
GPD_P27	GPD_P27	LCD_C3	DE	DE	DE	DE	DE	DE	DE

图 2-19 RGB 不同配置定义

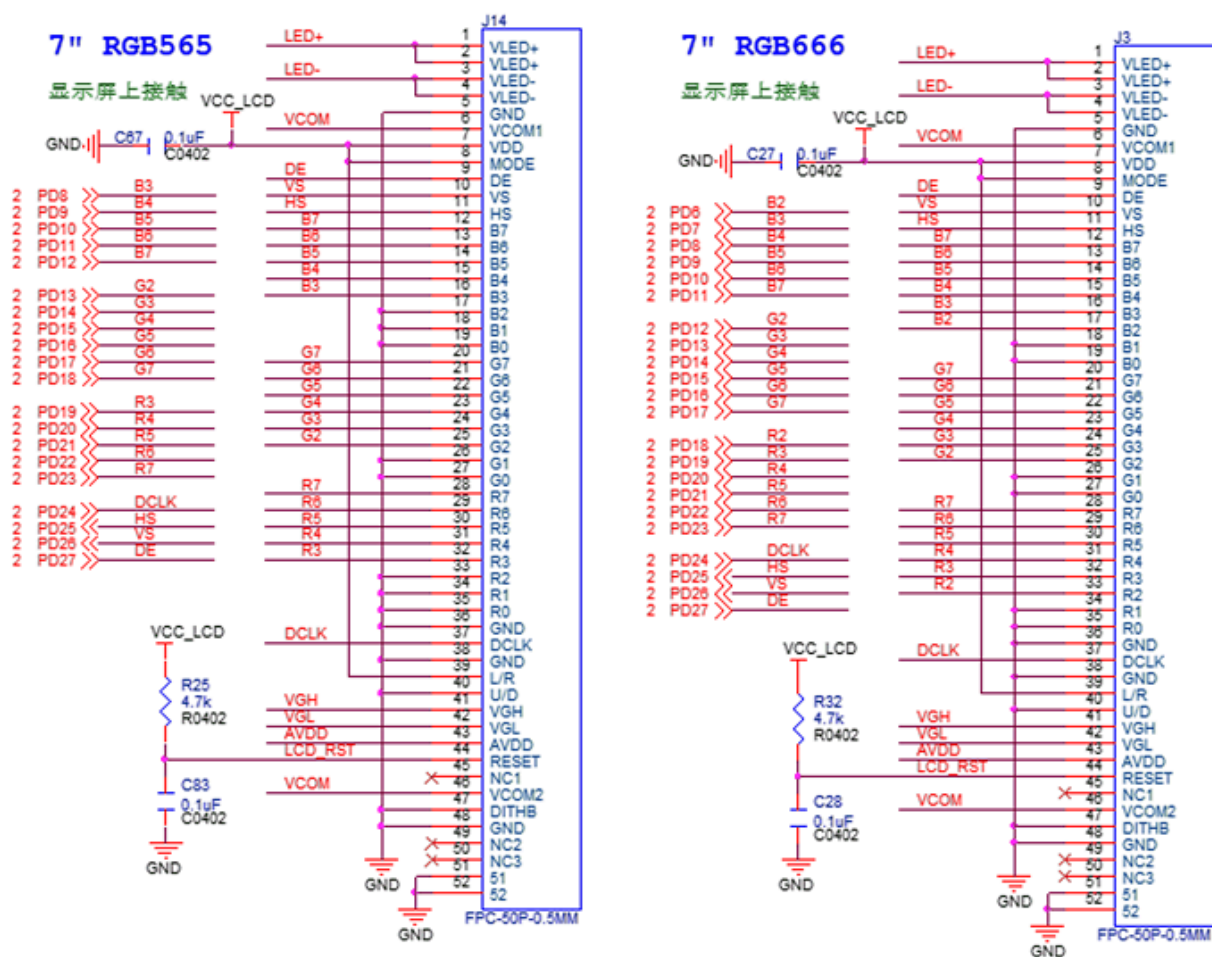


图 2-20 RGB565 / RGB666 电路原理图

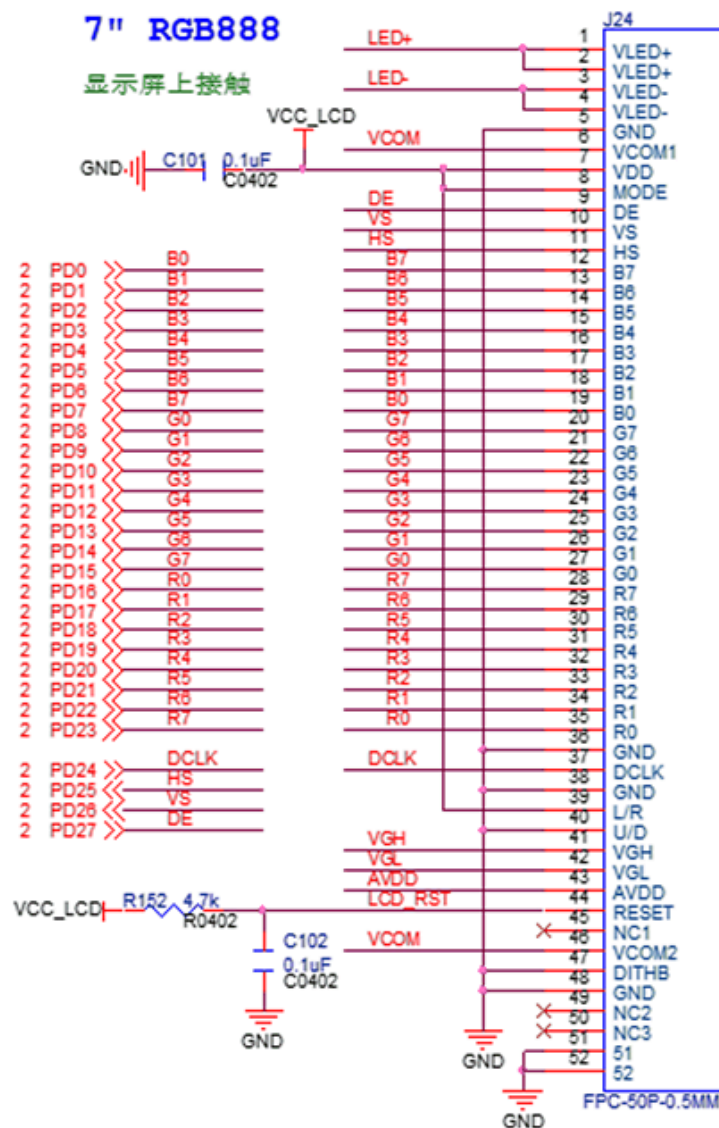


图 2-21 RGB888 电路原理图

2.4.7. PWM

支持下列 PWM 波形发生器：

- PWM0
- PWM1
- PWM2
- PWM3

PWM 波形发生器的说明如下：

- PWM_x_A 和 PWM_x_B 同属一组 PWM，可配置成单独输出或同时输出，但频率相同，占空比可不相同。
- PWM 通常用于背光控制，频率一般为 20 KHz ~ 1 MHz。
- PWM 通常用于蜂鸣器，频率一般为 3 KHz ~ 4 KHz。



注:

- PWM_x_A 和 PWM_x_B 可分开独立控制, 但频率是相同的, 占空比可独立调。
- 不同频率的应用不能使用同一组 PWM, 比如蜂鸣器和背光, 需分开使用不同通道。

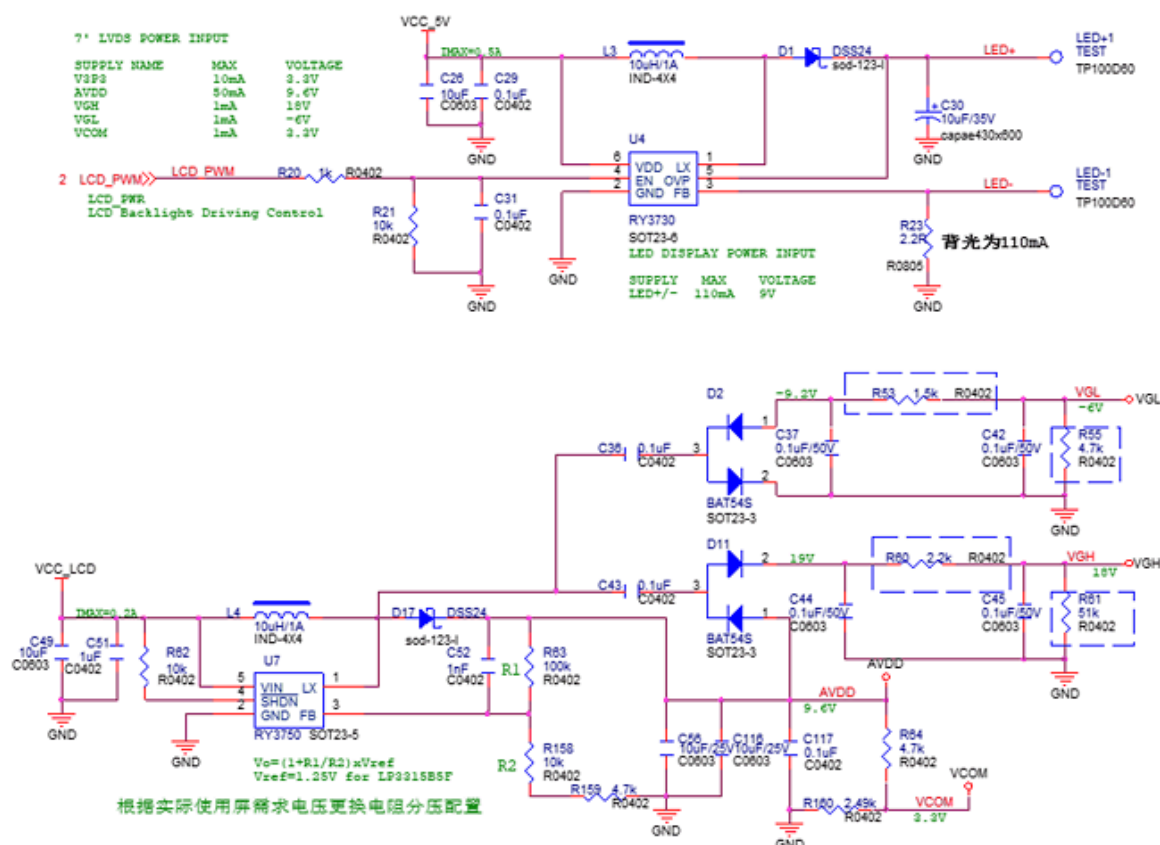


图 2-22 LCD 背光和偏压电路原理图

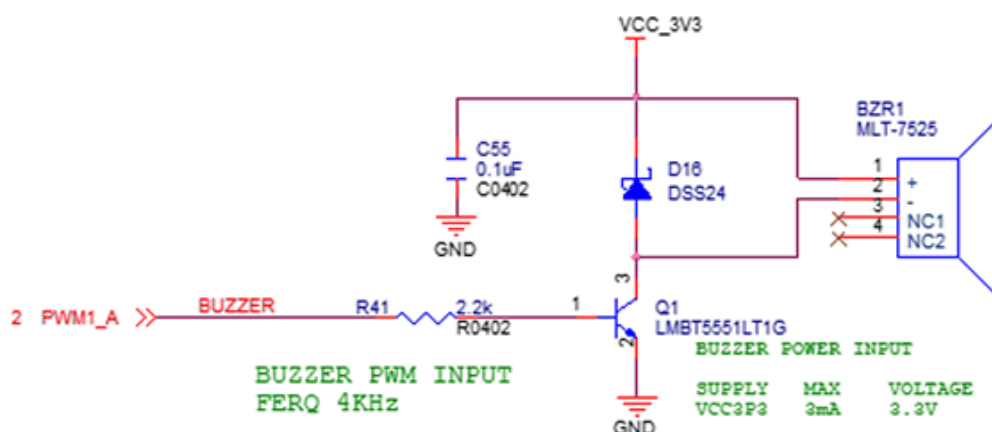


图 2-23 蜂鸣器电路原理图

2.4.8. TP

集成 RTP 电阻触摸屏接口，可支持 RTP 电阻屏触摸。

- RTP 仅支持 4 线，即 X+/X-/Y+/Y-。
- RTP 支持最多 2 点触摸。

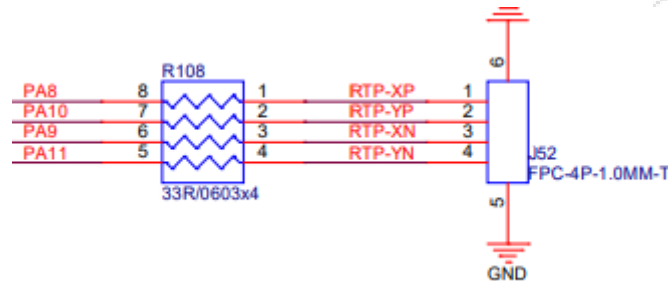


图 2-24 RTP 电阻屏触摸电路原理图

使用 I2C 和 GPIO，可支持 CTP 电容屏触摸。

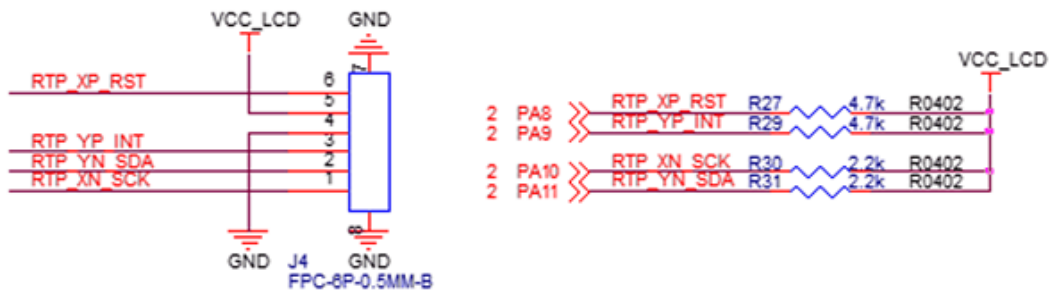


图 2-25 CTP 电容屏触摸电路原理图

2.5. 通用接口

2.5.1. CAN

支持 CAN0 和 CAN1 两套控制器

- 支持 CAN2.0A 和 CAN2.0B 协议，可编程通信速率最高 1 Mbps。
- 外围电路需接收发器，才能组成 CAN 总线网络。

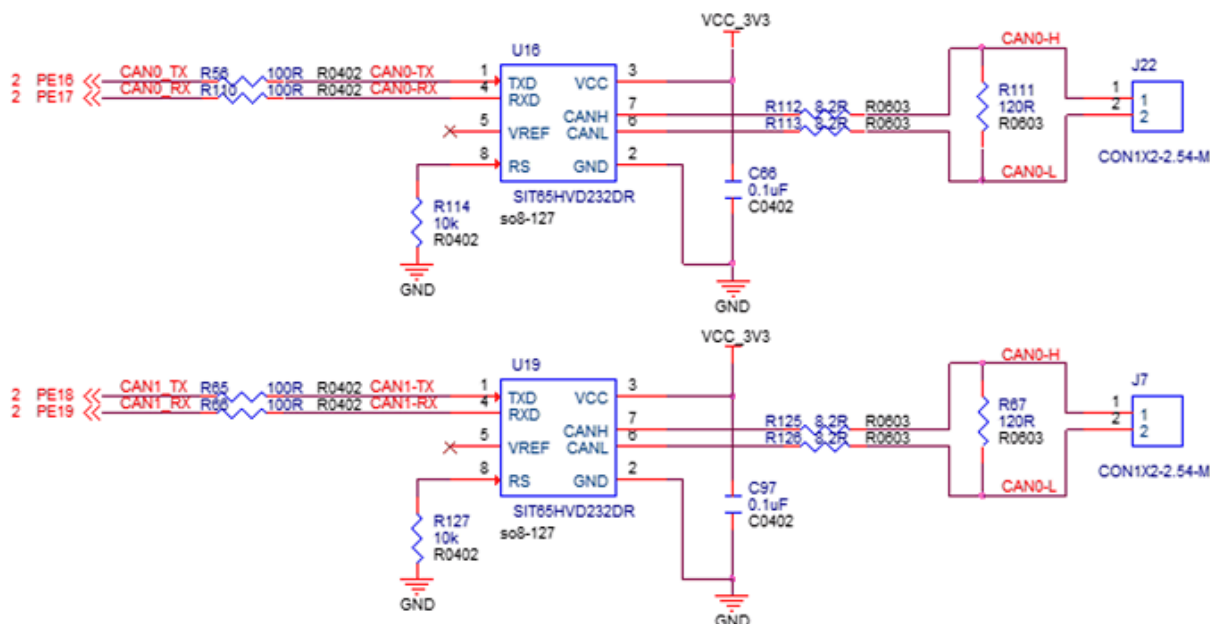


图 2-26 CAN 电路原理图

2.5.2. CIR

支持市面常见红外协议，如 NEC、RC5、RC6、RC-MM、Sony、Sanyo、JVC 等。

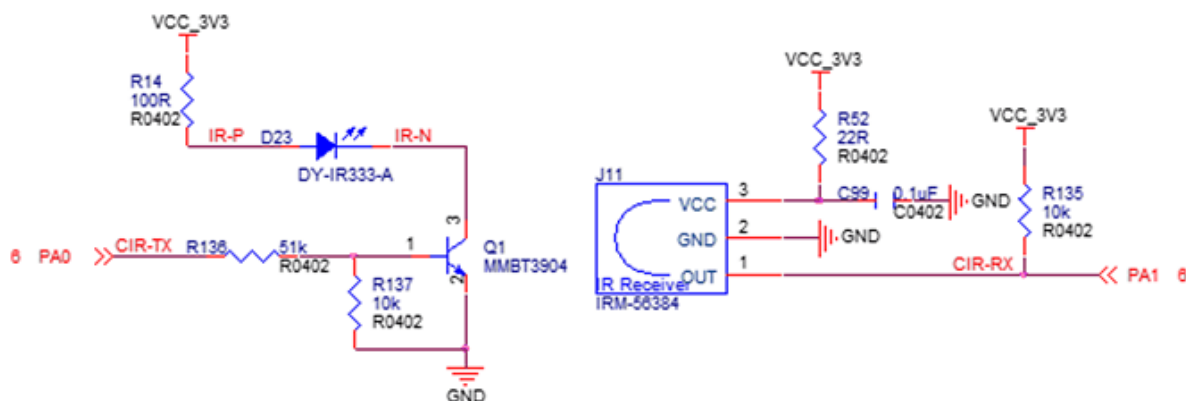


图 2-27 CIR 红外收发电路原理图

2.5.3. ETHERNET

- RMII 内部参考时钟（外部 PHY_TXC 为 Input 情况）
 - MAC_REFCLK 时钟不使能，内部选通 PLL_EMAC_50M 作为 RMII 50 MHz 参考时钟源
 - MAC_TXC 输出时钟，提供给外部 PHY 使用
 - MAC_TXC 输出时钟接外部 PHY_TXC Input
- RMII 外部参考时钟（外部 PHY_TXC 为 Output 情况或晶振提供 50 MHz）

- MAC_REFCLK 时钟使能，并且选通作为 RMII 50 MHz 参考时钟源
- MAC_TXC 不使能，无需提供外部 PHY 时钟信号
- MAC_REFCLK 输入时钟接外部 PHY_TXC Output



注：

- 使用 PHY_TXC 提供参考时钟时，MAC_TXC 可不使用，对应引脚可用于其它功能。
- 使用 MAC_TXC 提供参考时钟时，MAC_REFCLK 可不使用，对应引脚可用于其它功能。

表 2-7 百兆以太网 RMII 接口关系

引脚	MAC 端信号	RMII 接口	类型	描述	PHY 端信号
PE0	EMAC_RXD1	RMII_RXD1	I	数据接收信号线 1	PHY_RXD1
PE1	EMAC_RXD0	RMII_RXD0	I	数据接收信号线 0	PHY_RXD0
PE2	EMAC_CRS_DV	RMII_CRS_DV	I	数据接收有效	PHY_CRS_DV
PE3	EMAC_REFCLK	RMII_REF_CLK	I	参考时钟	PHY_TXC (50M 参考时钟 Output)
PE4	EMAC_TXD1	RMII_TXD1	O	数据发送信号线 1	PHY_TXD1
PE5	EMAC_TXD0	RMII_TXD0	O	数据发送信号线 0	PHY_TXD0
PE6	EMAC_TXC	RMII_TXC	O	数据发送时钟	PHY_TXC (Input)
PE7	EMAC_TXEN	RMII_TXEN	O	数据发送使能	PHY_TXEN
PE8	EMAC_MDC	RMII_MDC	I/O	串行管理接口时钟	PHY_MDC
PE9	EMAC_MDIO	RMII_MDIO	I/O	串行管理接口数据	PHY_MDIO
PE10	CLK_OUT	XTAL_OUT	O	25MHz 时钟	PHY_XTAL2

表 2-8 千兆以太网 RGMII 接口关系

引脚	MAC 端信号	RGMII 接口	类型	描述	PHY 端信号
PE0	GMAC_RXD1	RGMII_RXD1	I	数据接收信号线 1	PHY_RXD1
PE1	GMAC_RXD0	RGMII_RXD0	I	数据接收信号线 0	PHY_RXD0

表 2-8 千兆以太网 RGMII 接口关系 (续)

引脚	MAC 端信号	RGMII 接口	类型	描述	PHY 端信号
PE2	GMAC_RXCTL	RGMII_RXCTL	I	数据接收有效	PHY_RXCTL
PE3	GMAC_CLKIN	RGMII_CLKOUT	I	参考时钟	PHY_CLKOUT (125 MHz 参考时钟 Output)
PE4	GMAC_TXD1	RGMII_TXD1	O	数据发送信号线 1	PHY_TXD1
PE5	GMAC_TXD0	RGMII_TXD0	O	数据发送信号线 0	PHY_TXD0
PE6	GMAC_TXCK	RGMII_TXCK	O	数据发送时钟	PHY_TXC
PE7	GMAC_TXCTL	RGMII_TXCTL	O	数据发送使能	PHY_TXCTL
PE8	GMAC_MDC	RGMII_MDC	I/O	串行管理接口时钟	PHY_MDC
PE9	GMAC_MDIO	RGMII_MDIO	I/O	串行管理接口数据	PHY_MDIO
PE10	CLK_OUT	XTAL_OUT	O	25MHz 时钟	PHY_XTAL_OUT
PE11	GMAC_RXD3	RGMII_RXD3	I	数据接收信号线 3	PHY_RXD3
PE12	GMAC_RXD2	RGMII_RXD2	I	数据接收信号线 2	PHY_RXD2
PE13	GMAC_RXCK	RGMII_RXCK	I	数据接收时钟	PHY_RXC
PE14	GMAC_TXD3	RGMII_TXD3	O	数据发送信号线 3	PHY_TXD3
PE15	GMAC_TXD2	RGMII_TXD2	O	数据发送信号线 2	PHY_TXD2

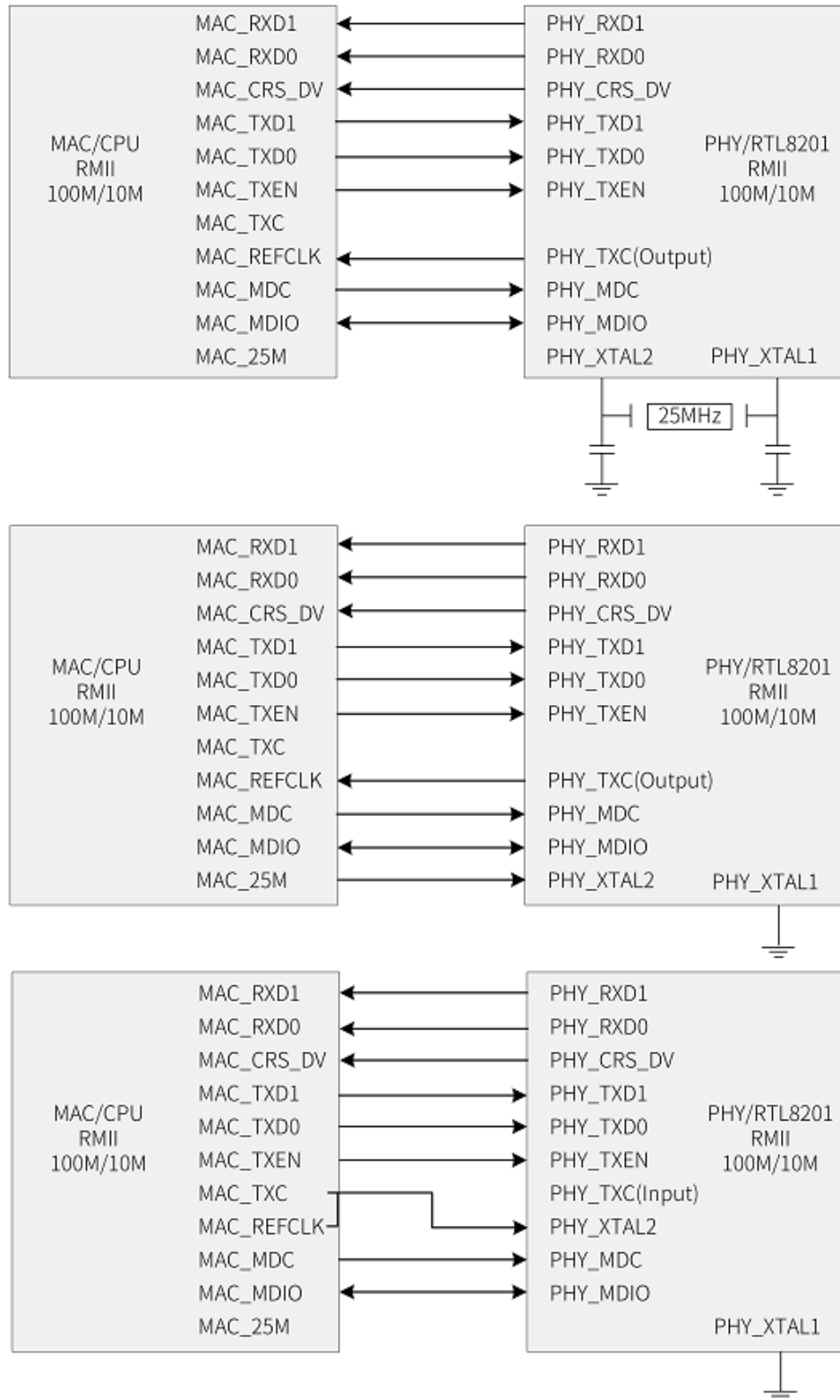


图 2-28 RTL8201 三种接法框图

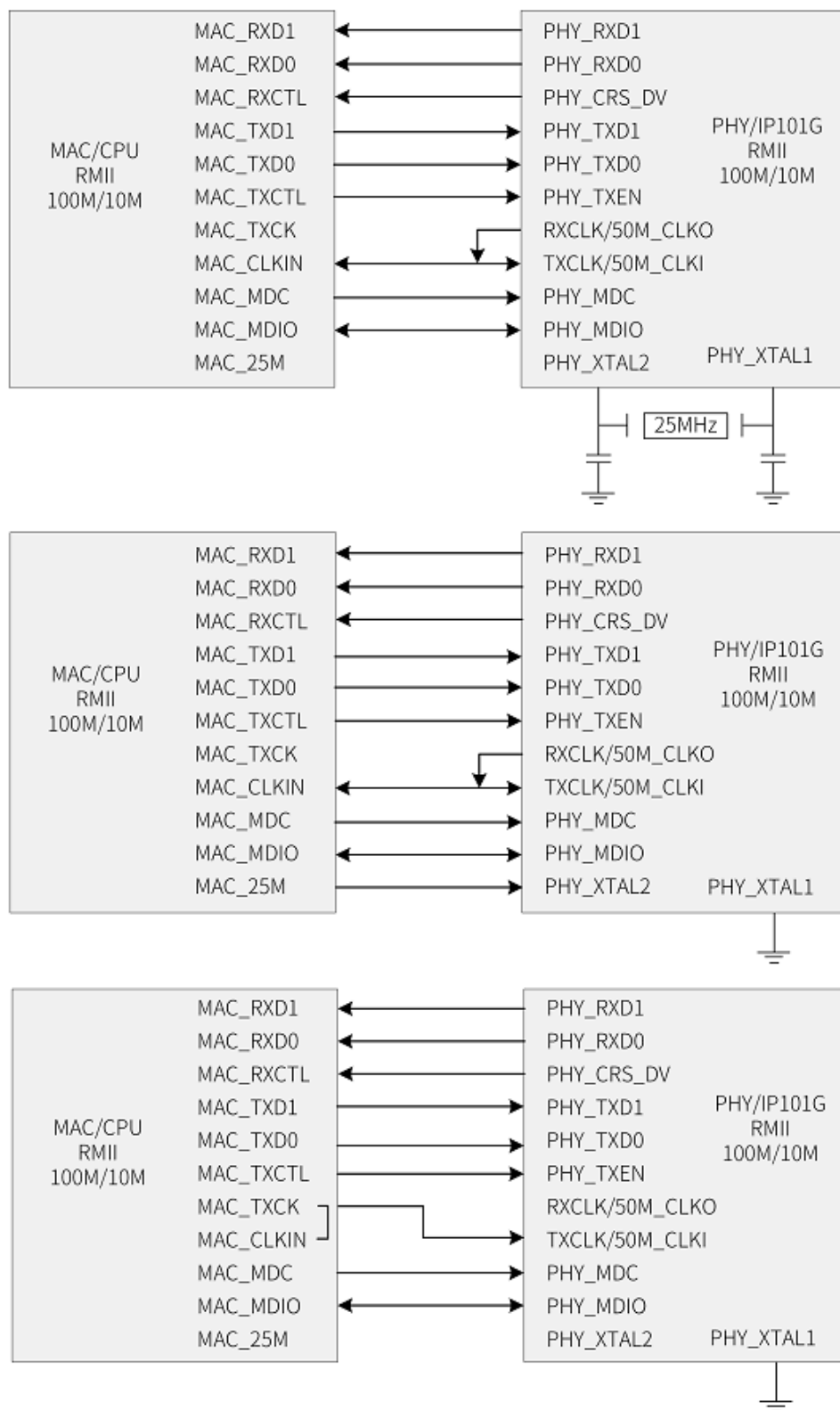


图 2-29 IP101G 三种接法框图



- 可用 TVS 阵列来保护 TXP、TXN、RXP 和 RXN 信号。
- 可用铁氧体磁珠和隔离变压器来分别隔离电源和信号线上的高频噪声。
- 可用 RC 或铁氧体磁珠隔离网络接口屏蔽层和信号地，以提高 ESD 性能。

I2C 速率最大支持 400 Kbps，支持 master 和 slave 模式。

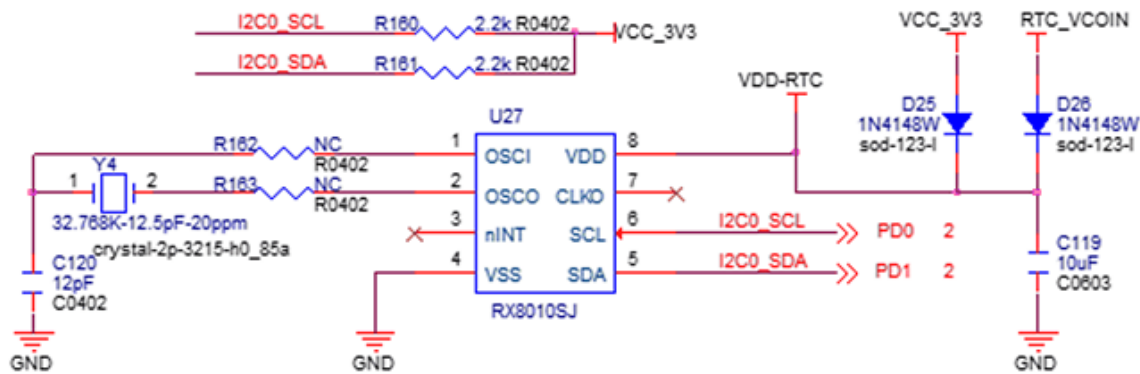


图 2-31 I2C 外接 RTC 电路原理图

2.5.5. SDIO

SDC0/SDC1 /SDC2 可用于用于访问 SDIO 接口的设备，比如 eMMC、SD-NAND、CARD、WiFi 模组。只有 SDC0 和 SDC1 接口可以做启动用。

- SDIO 接口只支持 3.3 V IO 电平，接口顺序关系需注意。
- SDIO 接口按等长约束走线，CLOCK 尽量包地处理。
- 天线端增加 TVS 管，防止 ESD 静电打坏模块。
- 所有电源滤波电容尽量靠近芯片电源输入脚放置。

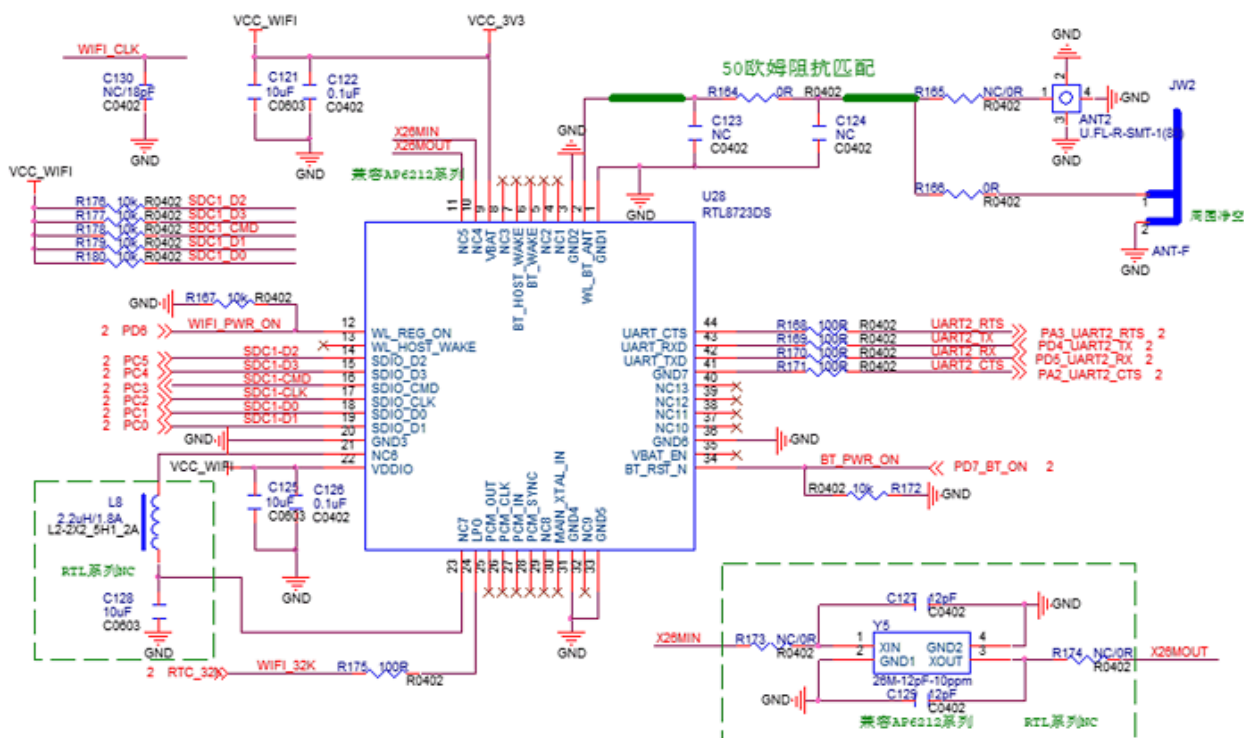


图 2-32 SDC1 WiFi+BT 电路原理图

2.5.6. SPI

SPI0/1/2/3 为标准 SPI 控制器，用于存储设备或其它 SPI 接口设备的访问。

- 支持 Master，不支持 Slave。
- SPI0/1 支持 QSPI 单/双/四线模式。
- SPI2 和 3 支持 SPI 单线模式。
- SPI_CS、SPI_WP、SPI_HOLD 必需保留上拉电阻。

2.5.7. UART

UART 兼容工业 16550 标准，支持常用波特率，最大波特率支持 5 Mbps。

- 支持 UART 两线（TX、RX），通常应用于 TTL、RS485、RS232、DEBUG 打印。
- 支持 UART 三线（TX、RX、RTS），通常应用于 RS485，RTS 可用于 485 硬件流控。
- 支持 UART 四线自动流控（TX、RX、RTS、CTS），通常应用于 RS232、蓝牙通信。

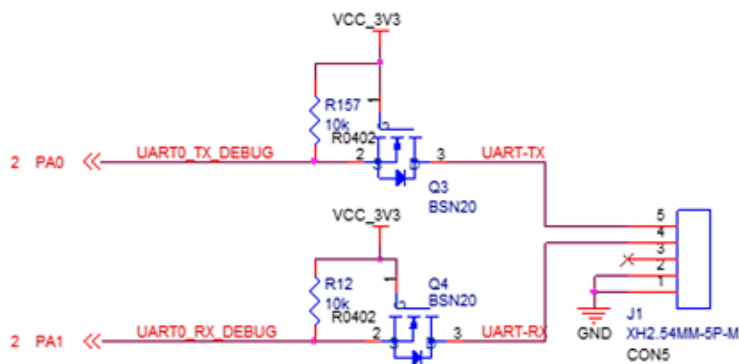


图 2-33 串口调试打印电路原理图



注：

- SDK 默认使用 PA0/ PA1 的 UART0 当调试打印串口，可更换任意 UART 当调试串口。
- SDK 默认使用 PA0（UART0_TX）当 BOOT 检测引脚，仅在上电或复位瞬间检测识别，不影响其它功能使用，可更换任意上电或复位瞬间电平固定的 IO 为 BOOT 引脚。

2.5.8. USB

USB0 支持 Device，可用于烧录程序。USB0 和 USB1 都支持 Host，可用于 U 盘、摄像头、4G 模组、WIFI、HUB 设备等扩展。

- USB 插座 ID 脚用于检测外部设备类型。当 ID 脚为低则工作在 Host 模式，当 ID 脚为高则工作在 Device 模式。
- USB ID 信号建议串联电阻，避免插入设备时产生信号下冲，同时提升 GPIO 口 ESD 性能。
- USB DP、DM 信号为高速差分信号线，差分走线阻抗控制 $90\ \Omega$ ，TVS 管寄生电容建议小于 1pF 。
- USB 插座 VBUS 建议不要与板卡 5V 直连，中间串入二极管，避免 VCC_5V 和 VBUS 同时供电时影响。
- USB 电源建议增加限流开关，避免插入 HOST 设备瞬态电流过大。



注：

- 优先使用 USB0 进行烧录，且开启 adb 功能后可在 AiBurn 烧录工具识别板卡并可强制升级烧录。
- USB_ID 可连接到任意 GPIO，可用于检测设备类型切换 Device 或 Host。
- 可通过软件指令动态切换 Device 或 Host。

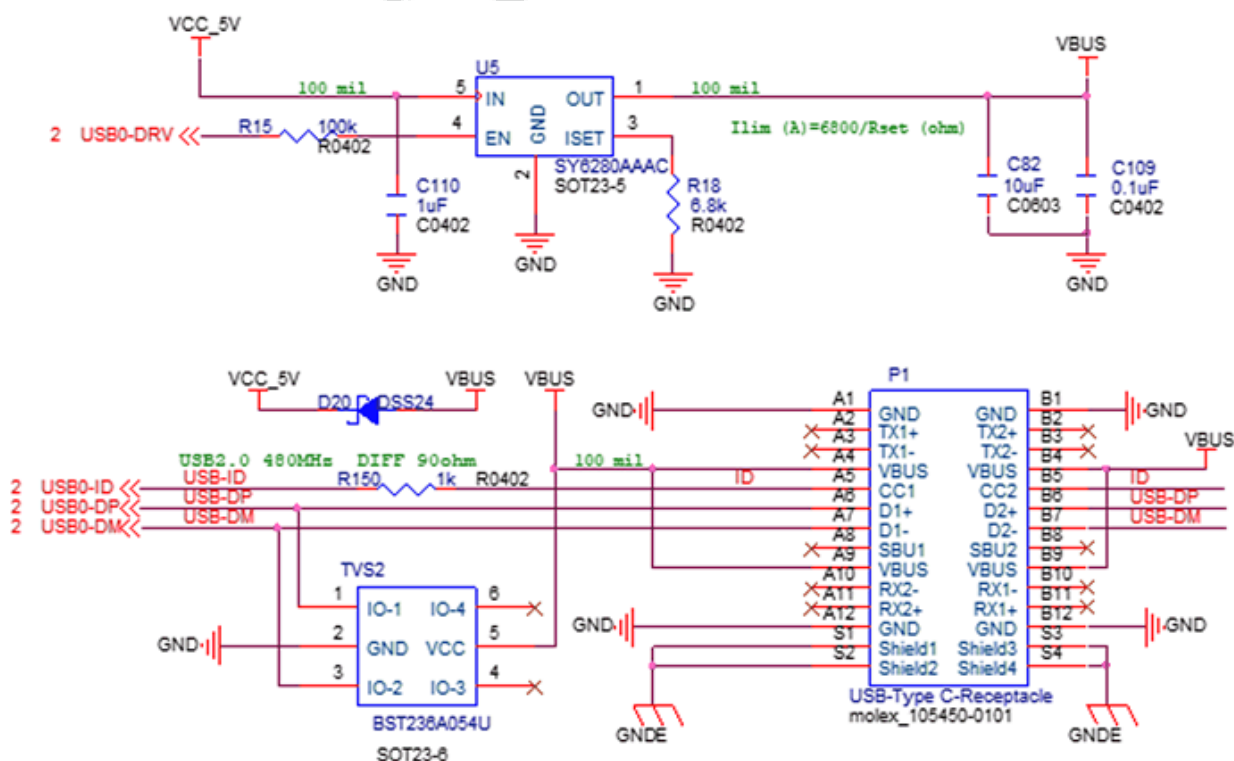


图 2-37 USB OTG 电路原理图

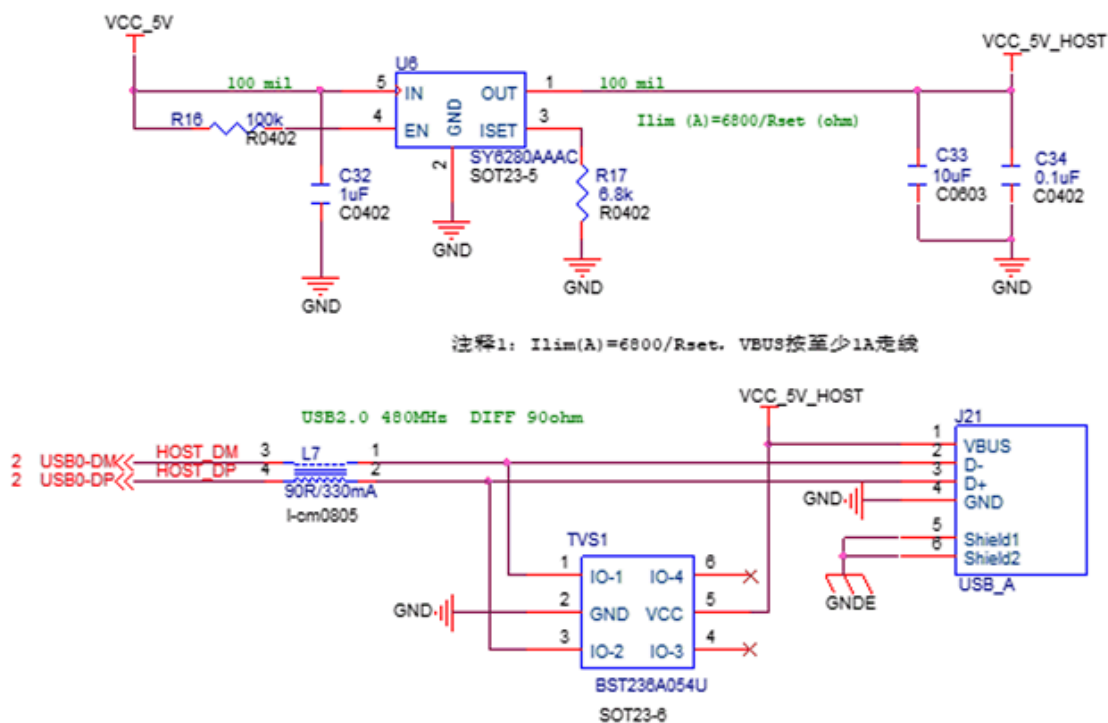


图 2-38 USB HOST 电路原理图

• 防护设计

- 可用 TVS 阵列来保护 VBUS、D+、D- 和 ID 信号。
- 可在 USB 差分信号上串联共模扼流圈，改善 EMI 性能。
- 可在 VBUS、GND 上串联铁氧体磁珠，隔离高频噪声。
- 可用 RC 电路或铁氧体磁珠隔离 USB 外壳和信号地，提高 ESD 性能。

3. 布线设计

3.1. 电源

尽量保证完整地平面，可以降低电源和地回路的阻抗，保证电源完整性和散热性能。

- 在合适的位置放置过孔，可以降低电源和地层的阻抗，有助于为信号提供一个低阻抗的回流回路。
- 在多电源平面和地平面分割时，优先考虑敏感信号的布局走线。
- 滤波电容靠近主控引脚放置，滤波电容就近多打 GND 过孔，且保证 VDD-SYS 和 VDD-DRAM 引脚滤波电容地与主控地之间有直接连接，减小回流路径。
- 主控 EPAD 需要多打 GND 过孔，减小阻抗，增强散热能力。
- 单个电源引脚走线线宽至少 6mil，电源干流线宽至少 20mil。

3.2. 布局

PCB 布局时，要将不同功能的电路进行分类，比如电源、模拟电路、数字电路和高速接口连接器等，这些电路应该分模块放置在 PCB 板的不同区域。

- 电源电路放在电源输入端附近。元件放置按照从高压到低压的顺序。
- DCDC 或 LDO 去耦电容应尽量靠近输入输出端口。
- 模拟电路更容易受外界干扰影响，建议将模拟电路放置在远离高压和高速数字电路的地方，减少噪声耦合。
- 建议晶体靠近 CPU 放置，尽量包地处理，与其它敏感元件保持安全距离。

3.3. DCDC 电路

DC/DC 需要外接电感和电容。

- 尽量缩小 DC/DC 电流回路，以避免 EMI 问题。
- 让电流首先流经滤波电容，然后流至引脚。
- 去耦电容尽量靠近管脚放置，以避免环路不稳定问题。
- 尽量避免电感和电容之间不必要的通孔，降低环路阻抗。

3.4. 高速信号

高速信号走线必须考虑传播延迟和阻抗匹配以保证设备间的良好通信。

- 当必须在不同的参考平面之间进行切换时，最好在信号切换通孔 100 mil 附近提供接地回路通孔。
- 同一层上的时钟与相邻走线的间距至少应为两倍线宽（2W 原则），以减少串扰。
- QSPI 接口 SPI_MOSI、SPI_MISO、SPI_WP、SPI_HOLD、SPI_CLK、SPI_CMD 需等长约束（长度差建议不超过 40 mil）。
- SDC 接口 SDC_D0~3、SDC_CLK、SDC_CLK 需等长约束（长度差建议不超过 50 mil）。
- RMII 接口 TXD1、TXD0、RXD1、RXD0、REFCLK 需等长约束（长度差建议不超过 50mil）。
- RGMII 接口 TXD3~0、RXD3~0、TX_EN、RX_EN、REFCLK 需等长约束（长度差建议不超过 50mil）。
- USB_DP、USB_DM 需等长约束（长度差建议不超过 10mil），差分对 90 欧姆阻抗匹配。
- LVDS 接口 LVDS_D0~D3、LVDS_CLK 需等长约束（长度差建议不超过 20mil），差分对 100 欧姆阻抗匹配。
- MIPI 接口 MIPI_D0~D3、MIPI_CLK 需等长约束（长度差建议不超过 20mil），差分对 100 欧姆阻抗匹配。
- DVP 接口 D0~7、DVP_CK、DVP_HS、DVP_VS、DVP_MCLK 需等长约束（长度差建议不超过 50mil）。

3.5. 屏蔽

连接器接口有金属的或者是外壳导电的，裸漏在外面可被接触到，设计时应当考虑防静电性能。

- 连接器（USB 接口和以太网接口）应设置单独的外壳屏蔽地。
- 外壳接地回路要尽量短，避免跨越关键信号或元件。
- 建议外壳屏蔽地用 RC 滤波电路或铁氧体磁珠连接到 PCB 数字地，注意连接位置和元件参数选择，这对 EMC 和 EMI 性能至关重要。
- 信号尽量从背面走线，远离外壳。
- 其它元件或走线，与外壳保持一定的安全距离，尽量 5 mm 以上，避免空气辐射路径。

3.6. 隔离

隔离在设计中经常用到，例如隔离强电和弱电，或者隔离模拟电路和数字电路。

- 以 RS485 隔离电路为例，接口端与通信电路之间采用光耦隔离器用于隔离。为了提高隔离性能，在隔离器下方设置隔离间隙，且隔离间隙应用于所有平面（顶层/电源层/地层/底层）以保证良好的隔离性能。
- 以模拟电路隔离为例，模拟地和数字地之间需要设置隔离间隙，可放置 0R 电阻单点接地。

3.7. 信号回流路径

信号和电源都有自己的回流路径。地平面可以是信号和电源的参考面，电源面也可以作为信号的参考面。

- 回路面积越小，阻抗越小，串扰和电磁干扰 (EMI) 的影响也就越小。
- 去耦电容尽量靠近输入输出端口，回流信号可以从表层直接回流至源端，最大程度地减小电流回流路径和阻抗。
- 考虑信号返回路径时，一定要避开电流回环路径上的断开点。电流回环的面积越小，EMC 的性能就越好。

4. 设计自查

4.1. POWER 设计 Checklist

表 4-1 POWER 设计 Checklist

序号	事项	确认（PASS/NO PASS）	备注
1	采用内部 LDO 供电，layout 需要注意 GND 焊盘散热问题。	-	-
2	D21x 1.2V/ 1.8V 建议采用外置 DCDC 供电，若使用 LDO 效率太低，LDO 有发热风险。	-	-
3	使用 DCDC 给 VDD11_SYS 供电，FB 反馈点尽量从主控滤波电容端选取，防止电源走线过长有较大压降，导致系统工作不稳定。	-	-
4	VDD11_SYS 默认使用 1.2V 供电，CPU 跑 600 MHz，DDR3 跑 672 MHz。 VDD11_SYS 若使用 1.1V 供电，CPU 降频到 504 MHz，DDR3 降频到 600 MHz。	-	-
5	供电无上下电顺序要求，VCC33_IO 上电上升沿时间需大于 150 us 而小于 5 ms。		

4.2. 显示接口设计 Checklist

表 4-2 显示接口设计 Checklist

序号	事项	确认（PASS/NO PASS）	备注
1	若使用 RGB666 或 RGB565，FPC 接口数据低位需接 GND	-	-
2	RGB888/ RGB666/ RGB565 支持整组互换	-	-
3	只有 RGB888 支持高低位顺序互换，RGB 三组都要同时换	-	-
4	注意 MIPI DSI CKN/CKP(PD22/PD23) 必须接屏幕时钟，不能与信号线互换	-	-

4.3. Speaker 设计 Checklist

表 4-3 Speaker 设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	DSPK 为数字逻辑信号, 需要外接 RC ($R = 100$, $C = 470 \text{ nF}$) 滤波转换成模拟信号, 才能给到音频功放芯片。	-	-
2	DSPK 单端输出采用 VCC3V3 供电时, 容易受到 VCC3V3 干扰, 采用单与门进行信号隔离可以消除干扰, 单与门使用主控输出的 LDO_3V0 干净电源供电。 若 DSPK 差分输出接功放, 则干扰抵消且声音会比单端要大一些。	-	-

4.4. 以太网设计 Checklist

表 4-4 以太网设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	若使用内部参考时钟, RMII_TXC 输出时钟接外部 PHY_TXC, 外部 PHY_TXC 需配置为 Input	-	-
2	若使用外部参考时钟, RMII_REF_CLK 输入时钟接外部 PHY_TXC, 外部 PHY_TXC 需配置为 Output	-	-
3	若使用 CLK_OUT 输出 25M 时钟供给外部 PHY 使用, CLK_OUT 接 PHY_XTAL2, PHY_XTAL1 需要接 GND, 千兆 PHY 需要用外挂 25M 晶振提供时钟	-	-
4	MDIO 信号要求接上拉电阻	-	-
5	偏置电阻必须焊接, 阻值根据外部 PHY 确定, 阻值通常为 2.49k 或 6.19k, 选择 1% 精度	-	-

4.5. 串行通信接口设计 Checklist

表 4-5 串行通信接口设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	I2C 信号是 OD 输出, 需外接上拉电阻, 根据负载不同, 建议选择 2k~4.7k。	-	-
2	I2C 同一路信号挂多个设备时, 地址不能重复。	-	-

4.6. 特殊 GPIO 设计 Checklist

表 4-6 特殊 GPIO 设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	如需进入升级模式, 可在 <code>ddr_init.json</code> 配置任意 IO 为下拉检测或上拉检测, SDK 默认使用 PA0 下拉检测, 建议预留按键或跳线。	-	-
2	RTC_IO 为 OD 输出, 使用时需要外挂上拉电阻, 上拉电平不超过 5 V, 可用于唤醒或输出 32K 时钟。RTC-VCOIN 使用外供电时必须串 10k 电阻防护。	-	-
3	启动阶段 BROM 有 Try 介质过程, PB0~PB5 的 SPI0 接口 CS/MOSI/CLK, SDC0、SDC1 接口 D0/CMD/CLK 有 ms 级脉冲波形输出, 做 IO 输出使用时需注意	-	-

4.7. EMC 防护设计 Checklist

表 4-7 EMC 防护设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	尽量不要热插拔, 如果有热插拔风险信号, 比如 UART、485、IO 等与外部连接的信号, 最好串接 22R~100R 小电阻进行 EOS 过电应力防护。	-	-
2	金属连接器与信号地之间, 建议并联 RC 用于静电泄放	-	-
3	RGB、I8080、SPI 屏, 建议在 CLK 上预留 RC 或 LC 滤波, 有空间的话所有数据线预留串接小电阻, 有助于 RE 辐射调试优化	-	-